

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02003/010774

発行日 平成16年11月18日 (2004.11.18)

(43) 国際公開日 平成15年2月6日(2003.2.6)

(51) Int.Cl.⁷

G 1 1 C 15/04

G O 6 F 17/30

H04L 12/56

F 1

G 1 1 C 15/04 6 3 1 W

G 1 1 C 15/04 6 3 1 D

G O 6 F 17/30 3 5 0 D

H04L 12/56 100Z

審查請求 有 予備審查請求 有 (全 60 頁)

出願番号 特願2003-516062 (P2003-516062)
 (21) 国際出願番号 PCT/JP2001/006382
 (22) 国際出願日 平成13年7月24日 (2001. 7. 24)
 (81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), CN, JP, KR, US

(71) 出願人 399119952
株式会社テルミナス・テクノロジー
東京都中央区日本橋浜町3丁目34-5
浜町ビル3階

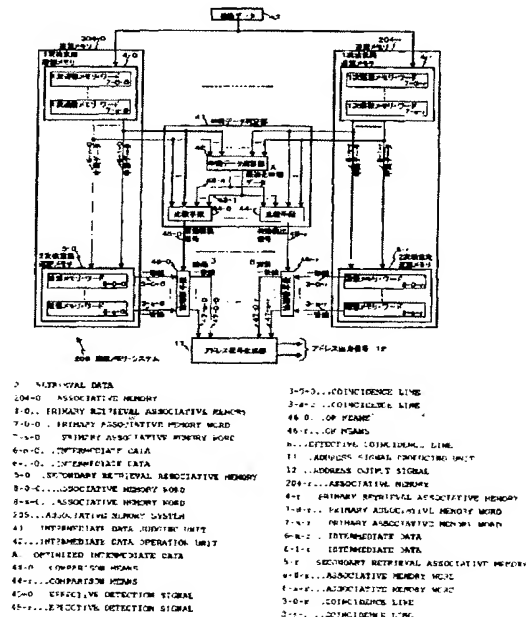
(74) 代理人 100086368
弁理士 萩原 誠

(72) 発明者 小倉 直志
神奈川県横浜市港北区榑町一丁目8番13
号 ヒルトップ203

(54) 【発明の名称】 連想メモリ・システムおよびネットワーク機器およびネットワーク・システム

(57) 【要約】

複数の連想メモリを接続する際に、プライオリティ・エンコーダを不要にする。連想メモリ 204 の 1 次検索用連想メモリ 4 は、検索データ 2 とマスク情報を考慮して一致する記憶データ同士に対して記憶データの有効状態を真とする論理和演算結果として得られる中間データ 6 を中間データ判定部 41 と内部の 2 次検索用連想メモリ 5 に出力する。中間データ演算部 42 は、 p 個の連想メモリ 204 から入力される中間データ 6 の中で記憶データの無効状態のビット数が最小のものに対応する有効検出信号 45 に有効状態を出力する。 p 個の 2 次検索用連想メモリ 5 は対応する中間データ 6 を検索データとして記憶データを検索し一致線 3 を出力する。 p 個の論理和演算手段 46 は対応する有効検出信号 45 が無効状態の場合には対応する一致線 3 の値をすべて無効状態としてアドレス信号生成部 11 に入力し、アドレス出力信号 12 に符号化する。



【特許請求の範囲】

【請求項 1】

記憶データの 1 ビットまたは複数ビットごとに検索対象から除外するか否かを、有効状態、無効状態により設定可能なマスク情報を該記憶データの 1 ワードまたは複数ワードごとに有し、

1 ワードごとに該マスク情報がマスク有効状態の場合に対応する該記憶データの 1 ビットまたは複数ビットを検索対象から除外し、入力された検索データと一致するワードを選択する 1 次検索を実行する 1 次検索手段と、

前記 1 次検索手段における選択されたワードの中で、記憶データの無効状態のビットが最も少ない記憶データの値を、中間データとして出力する中間データ生成手段と、

から構成される 1 次連想メモリを複数個有する連想メモリ・システムにおいて、

前記複数個の中間データ生成手段が出力する前記中間データの中で、記憶データの無効状態のビットが最も少ない中間データを選択し、最適化中間データとして出力する中間データ演算手段と、

前記複数個の 1 次検索手段に格納されている前記記憶データの値を格納し、前記最適化中間データと一致する記憶データの値を選択する 2 次検索を実行する一つ又は複数の 2 次検索手段と、

2 次検索の終了後に選択されている前記記憶データの値に対応する一致信号に有効状態を出力する一致信号出力手段と、

を有することを特徴とする連想メモリ・システム。

【請求項 2】

記憶データの 1 ビットまたは複数ビットごとに検索対象から除外するか否かを、有効状態、無効状態により設定可能なマスク情報を該記憶データの 1 ワードまたは複数ワードごとに有し、

1 ワードごとにマスク情報がマスク有効状態の場合に対応する該記憶データの 1 ビットまたは複数ビットを検索対象から除外し、入力された検索データと一致するワードを選択する 1 次検索を実行する 1 次検索手段と、

前記 1 次検索手段における該選択されたワードの中で、記憶データの無効状態のビットが最も少ない記憶データの値を中間データとして出力する中間データ生成手段と、

から構成される 1 次連想メモリを複数個有する連想メモリ・システムにおいて、

前記複数個の 1 次連想メモリが出力する前記中間データの中で、記憶データの無効状態のビットが最も少ない中間データを出力している 1 次連想メモリに対応する検出信号のみに有効状態を出力する中間データ判定手段と、

対応する前記 1 次検索手段に格納されている前記記憶データの値を格納し、該 1 次検索手段に対応する前記中間データ生成手段が出力する前記中間データと一致する記憶データの値を選択する 2 次検索を実行する複数の 2 次検索手段と、

前記各 1 次連想メモリに対応する前記検出信号が無効状態の場合には対応する一致信号にすべて無効状態を出力し、該検出信号が有効状態の場合には 2 次検索の終了後に選択されている前記記憶データの値に対応する前記一致信号に有効状態を出力する一致信号出力手段と、

を有することを特徴とする連想メモリ・システム。

【請求項 3】

記憶データの 1 ビットまたは複数ビットごとに検索対象から除外するか否かを、有効状態、無効状態により設定可能なマスク情報を該記憶データの 1 ワードまたは複数ワードごとに有し、

優先順位を有する k 個 (K は 2 以上の整数) の検索領域から構成される検索データを入力とし、

1 ワードごとに前記マスク情報がマスク有効状態の場合に対応する該記憶データの 1 ビットまたは複数ビットを検索対象から除外し、入力された検索データと一致するワードを選択する 1 次検索を実行する 1 次検索手段と、

10

20

30

40

50

1 次検索の終了後に選択されているワードが格納している記憶データにおける第 1 の優先順位の検索領域に対応する領域の中で、記憶データの無効状態のビットが最も少ない第 1 の優先順位の検索領域に対応する領域の記憶データの値を、第 1 の中間データとして出力する第 1 の中間データ生成手段と、

第 $(i - 1)$ の 2 次検索終了後 (i は 2 以上 k 以下の整数) に選択されているワードが格納している記憶データにおける第 i の優先順位の検索領域に対応する領域の中で、記憶データの無効状態のビットが最も少ない第 i の優先順位の検索領域に対応する領域の記憶データの値を、第 j の中間データとして出力する、第 2 乃至第 k の中間データ生成手段と、から構成される 1 次連想メモリを複数個有する連想メモリ・システムにおいて、

前記複数個の第 j の中間データ (j は 1 以上 k 以下の整数) の中で、記憶データの無効状態のビットが最も少ない第 j の中間データを選択し、第 j の最適化中間データとして出力する、第 1 乃至第 k の中間データ演算手段と、

前記複数個の 1 次検索手段に格納されている第 j の検索領域に対応する領域の記憶データの値を格納し、前記第 j の最適化中間データと一致する記憶データの値を選択する第 j の 2 次検索を実行する、一つ又は複数の第 1 乃至第 k の 2 次検索手段と、

第 k の 2 次検索の終了後に選択されている前記記憶データの値に対応する一致信号に有効状態を出力する一致信号出力手段と、

を有することを特徴とする連想メモリ・システム。

【請求項 4】

前記第 1 乃至第 k の 2 次検索手段において、

該第 1 乃至第 k の最適化中間データの中の複数から一つを選択する選択手段と、2 次検索の対象とする検索領域を選択する制御手段とを有することにより、

前記 2 次検索手段、および前記中間データ演算手段の、それぞれ第 1 乃至第 k の中の一部または全てを共有することを特徴とする請求項 3 に記載の連想メモリ・システム。

【請求項 5】

記憶データの 1 ビットまたは複数ビットごとに検索対象から除外するか否かを、有効状態、無効状態により設定可能なマスク情報を該記憶データの 1 ワードまたは複数ワードごとに有し、

優先順位を有する k 個 (K は 2 以上の整数) の検索領域から構成される検索データを入力とし、

1 ワードごとに前記マスク情報がマスク有効状態の場合に対応する該記憶データの 1 ビットまたは複数ビットを検索対象から除外し、入力された検索データと一致するワードを選択する 1 次検索を実行する 1 次検索手段と、

1 次検索の終了後に選択されているワードが格納している記憶データにおける第 1 の優先順位の検索領域に対応する領域の中で、記憶データの無効状態のビットが最も少ない第 1 の優先順位の検索領域に対応する領域の記憶データの値を、第 1 の中間データとして出力する第 1 の中間データ生成手段と、

第 $(i - 1)$ の 2 次検索終了後 (i は 2 以上 k 以下の整数) に選択されているワードが格納している記憶データにおける第 i の優先順位の検索領域に対応する領域の中で、記憶データの無効状態のビットが最も少ない第 i の優先順位の検索領域に対応する領域の記憶データの値を、第 i の中間データとして出力する第 2 乃至第 k の中間データ生成手段と、

から構成される 1 次連想メモリを複数個有する連想メモリ・システムにおいて、前記複数個の第 j の中間データ (j は 1 以上 k 以下の整数) の中で、対応する第 $(j - 1)$ の検出信号が有効状態の該第 j の中間データのみを選択する、第 j の無効化手段と、第 j の無効化手段が選択した複数の第 j の中間データの中で、記憶データの無効状態のビットが最も少ない第 j の中間データを出力している 1 次連想メモリに対応する第 j の検出信号のみに有効状態を出力する、第 1 乃至第 k の中間データ判定手段と、

1 次検索開始前にすべての第 0 の検出信号を有効状態とする初期化手段と、

前記複数個の 1 次検索手段に格納されている第 j の検索領域に対応する領域の記憶データの値を格納し、対応する 1 次連想メモリが出力する前記第 j の中間データと一致する記憶

10

20

30

40

50

データの値を選択する第 j の 2 次検索を実行する、複数の第 1 乃至第 k の 2 次検索手段と、
各 1 次連想メモリに対応する第 k の検出信号が、無効状態の場合には対応する一致信号に
すべて無効状態を出力し、有効状態の場合には第 k の 2 次検索の終了後に選択されている
記憶データの値に対応する前記一致信号に有効状態を出力する一致信号出力手段と、
を有することを特徴とする連想メモリ・システム。

【請求項 6】

前記第 1 乃至第 k の 2 次検索手段において、
該第 1 乃至第 k の中間データの中の複数から一つを選択する選択手段と、2 次検索の対象
とする検索領域を選択する制御手段とを有し、
各 1 次連想メモリに対応する前記検出信号が検索開始から有効状態を保持しているか否か
を記憶する一つまたは複数の記憶手段を有することにより、
前記 2 次検索手段、前記無効化手段、および前記中間データ判定手段の、それぞれ第 1 乃
至第 k の中の一部または全てを共有することを特徴とする請求項 5 に記載の連想メモリ・
システム。

【請求項 7】

前記中間データ判定手段は、
入力された前記中間データの中で、記憶データの無効状態のビットが最少の中間データを選
択し、最適化中間データとして出力する中間データ演算手段と、
前記最適化中間データと一致する前記中間データを出力している前記 1 次連想メモリに対
応する前記検出信号のみに有効状態を出力する中間データ比較手段とを
有することを特徴とする請求項 2 又は 5 に記載の連想メモリ・システム。

【請求項 8】

前記中間データ演算手段は、前記複数の中間データの同一ビット位置同士を記憶データの
有効状態を真として論理和演算することにより構成されることを特徴とする、請求項 1、
3 又は 7 の連想メモリ・システム。

【請求項 9】

前記中間データ演算手段は、記憶データの有効状態を真とする 2 進表記の数値とみなした
ときに、前記複数の中間データの中で最大値を選択することを特徴とする、請求項 1、3
又は 7 の連想メモリ・システム。

【請求項 10】

前記中間データ演算手段は、
対応する前記 1 次連想メモリが出力する前記中間データの中で記憶データの無効状態のビ
ット数を計数する複数の無効状態計数手段と、
前記複数の無効状態計数手段の計数結果の中で最小値を演算する最小値演算手段と、
前記最小値に対応する該中間データを選択し前記最適化中間データとして出力する選択手
段とを、有することを特徴とする請求項 1、3 又は 7 の連想メモリ・システム。

【請求項 11】

前記中間データ演算手段は、前記複数個の 1 次連想メモリにおける、前記中間データの出
力端子と前記最適化中間データの入力端子を共用するために、前記中間データ同士の、記
憶データの有効状態を真とする結線論理和回路により構成する、ことを特徴とする請求項
1 又は 3 の連想メモリ・システム。

【請求項 12】

前記中間データ判定手段は、
前記 1 次連想メモリが出力する前記中間データの中で記憶データの無効状態のビット数を
計数する複数の無効状態計数手段と、
前記複数の無効状態計数手段が出力する計数結果の中で最小値を演算する最小値演算手段
と、
前記最小値に対応する該中間データを出力している前記 1 次連想メモリに対応する検出信
号のみに有効状態を出力する最小値比較手段と、

10

20

30

40

50

を有することを特徴とする請求項 2 又は 5 に記載の連想メモリ・システム。

【請求項 13】

前記第 j の無効化手段は、無効状態が入力されている第 j の検出信号に対応する、第 j の中間データの全ビットを、すべて記憶データの無効状態に変更する論理積手段により構成されることを特徴とする請求項 5 に記載の連想メモリ・システム。

【請求項 14】

前記第 j の無効化手段、および前記第 j の中間データ判定手段は、
前記 1 次連想メモリが出力する前記第 j の中間データの中で記憶データの無効状態のビット数を計数する複数の無効状態計数手段と、
無効状態が入力されている前記検出信号に対応する無効状態計数手段の計数結果を、前記第 j の中間データのビット数と等しい数またはビット数より大きい数に変更する手段と、
前記複数の無効状態計数手段が出力する前記計数結果の中で最小値を演算する最小値演算手段と、
前記最小値に対応する中間データを出力している前記 1 次連想メモリに対応する検出信号のみに有効状態を出力する最小値比較手段と、
を有することを特徴とする請求項 5 に記載の連想メモリ・システム。

【請求項 15】

前記無効状態計数手段は、記憶データの無効状態のビット数を、前記中間データの一側のビット位置から他側に向かって、最初の記憶データの有効状態のビットが現れるまで計数することを特徴とする請求項 10、12 又は 14 に記載の連想メモリ・システム。

【請求項 16】

前記無効状態計数手段は、対応する 1 次連想メモリに内蔵されることを特徴とする、請求項 10、12 又は 14 に記載の連想メモリ・システム。

【請求項 17】

前記中間データ演算手段は、パイプライン処理を実行可能とする記憶手段を有することを特徴とする請求項 1、3 又は 7 に記載の連想メモリ・システム。

【請求項 18】

前記中間データ判定手段は、該中間データ判定手段が検出信号を出力するタイミングを、並行して実行している 2 次検索の終了と同期させるための一つまたは複数の手段を有することを特徴とする請求項 2 又は請求項 5 に記載の連想メモリ・システム。

【請求項 19】

前記 1 次検索手段において、前記記憶データを格納する手段と、前記 2 次検索手段における該記憶データの値を格納する手段とを共用することを特徴とする請求項 1 乃至 18 に記載の連想メモリ・システム。

【請求項 20】

前記連想メモリ・システムにおいて、前記 1 次連想メモリ毎に対応する前記一致信号に有効状態の信号が含まれるか否かを検出する検出手段を有し、かつ前記一致信号同士を論理和演算する論理和手段と、前記論理和手段の出力をアドレス信号の一つの領域として符号化する第 1 の符号化手段と、前記検出手段の出力をアドレス信号の他の領域として符号化する第 2 の符号化手段とを、有することを特徴とする請求項 1 乃至 19 に記載の連想メモリ・システム。

【請求項 21】

前記連想メモリ・システムにおいて、前記 1 次連想メモリ毎に対応する前記一致信号に有効状態の信号が含まれるか否かを検出する検出手段と、該一致信号をアドレス信号の一つの領域として符号化する第 1 の符号化手段とを有し、前記検出手段の出力を該アドレス信号の他の領域として符号化する第 2 の符号化手段と、前記各 1 次連想メモリに対応する前記第 1 の符号化手段の中から前記第 2 の符号化手段の演算結果に対応して、前記第 1 の符号化手段の出力信号を選択することを特徴とする請求項 1 乃至 19 に記載の連想メモリ・システム。

【請求項 22】

前記連想メモリ・システムにおいて、前記検出手段と前記第1の符号化手段を対応する1次連想メモリに内蔵することを特徴とする請求項21に記載の連想メモリ・システム。

【請求項23】

請求項1乃至22に記載の連想メモリ・システムを用いて、一つまたは複数のネットワーク・アドレスの検索を行うことを特徴とするネットワーク機器。

【請求項24】

請求項23に記載の前記ネットワーク機器を介してネットワークに接続された機器間でデータ通信を行うことを特徴とするネットワークシステム。

【発明の詳細な説明】

技術分野

本発明は、連想メモリ・システムおよびネットワーク機器およびネットワークシステムに関する。特に検索マスク機能を有する連想メモリとそれを複数個接続した連想メモリ・システムおよびそれを用いたネットワーク機器およびネットワーク・システムに関する。

背景技術

一般的にネットワーク・システムでは、ネットワークに参加しているユーザ端末（例えばパーソナル・コンピュータなど）に対して、他のユーザ端末と識別するためのネットワーク・アドレスを、内部のグループごとに階層的に割り当てる。したがって、階層が上のグループほどネットワーク・アドレスの有効部分が短く、下の階層のグループほど長くなる。そのため、ネットワークに参加しているユーザ端末間の通信データの転送を制御するためのネットワーク機器（例えばネットワーク・ルータなど）に通信データが入力された場合、その宛先ネットワーク・アドレスおよび送出元ネットワーク・アドレスから、転送先を決定する処理や、転送可否を判定する処理には、ネットワーク・アドレスの有効部分の長さを考慮して比較する機能が不可欠であり、この機能を実現するため連想メモリが用いられている。

従来のコンピュータ・ネットワークの構成例を示す接続図を図24に示す。ネットワークに参加しているユーザ端末には上述のように、その端末の属するグループに応じてあらかじめ決められた規則により階層的にネットワーク・アドレスが割り当てられる。ここではネットワーク・アドレスは複数桁の数値、例えば4桁の数値（a. b. c. d）で表現されるものとして説明する。また、あらかじめ決められた規則は、例えばネットワーク・アドレスの先頭の数値でイギリス、ドイツ、日本などの国を示し、第2番目の数値で国の中の都市名を示し、更に第3番目の数値で都市の中の企業名を示し、最後の数値で該企業の中の端末を区別する、というように階層構造をとっている。以降、この階層をセグメントと呼ぶこととする。図24においては、セグメントの階層構造を模擬的に示したものである。図において太線で囲まれた1つの矩形が1つのセグメントである。図24では、ネットワーク・アドレスの先頭の数値が1であるセグメント1と、先頭の数値が2であるセグメント2と、先頭の数値が3であるセグメント3が、最上位のセグメントとして存在している。セグメント1の下に階層に、上位2つの数値が1. 2であるネットワーク・アドレスを持つセグメント4があり、更にその下に上位3つの数値が1. 2. 2であるネットワーク・アドレスを持つセグメント6があり、更にその中にネットワーク・アドレス（1. 2. 2. 1）を持つユーザ端末PC401-1が接続されている。また、セグメント2の下に階層に、上位2つの数値が2. 1であるネットワーク・アドレスを持つセグメント5があり、更にその下に上位3つの数値が2. 1. 2であるネットワーク・アドレスを持つセグメント7があり、更にその中にネットワーク・アドレス（2. 1. 2. 3）を持つユーザ端末PC401-2が接続されている。また、セグメント3の下に階層に、上位2つの数値が3. 1であるネットワーク・アドレスを持つセグメント8がある。図に例示されているアドレスにおいて、*はドント・ケアを意味する。

各セグメントは、ネットワークに参加しているユーザ端末間の通信データの転送を制御するためにネットワーク機器を有している。図24の構成例では、セグメント1はネットワーク機器400-1を、セグメント2はネットワーク機器400-2を、セグメント3はネットワーク機器400-3を、セグメント4はネットワーク機器400-4を、セグメ

10

20

30

40

50

ント5はネットワーク機器400-5を、セグメント6はネットワーク機器400-6を、セグメント7はネットワーク機器400-7を、セグメント8はネットワーク機器400-8を、それぞれ有している。セグメントが有するネットワーク機器は、そのネットワーク機器に接続されているユーザ端末または他のネットワーク機器から入力された通信データを、通信データに付随する転送先アドレスとネットワーク機器の接続関係を基に最適な転送ルートを計算し、その最適なルートを經由して転送先にデータを転送する機能を有する。図24の構成例では、各ネットワーク機器はそのセグメント直下のネットワーク機器またはユーザ端末と接続されている。また、ネットワーク機器400-3は、ネットワーク機器400-1、ネットワーク機器400-6、ネットワーク機器400-2、ネットワーク機器400-7とも接続している。

10

これら各ネットワーク・アドレスは、その各桁を4進数で表現した全体で8ビットのビット列で表現されるものと仮定する。例えば、4進表記のネットワーク・アドレス(1. 2. *. *)はビット列(01. 10. 00. 00)で表現される。以降、この表現のビット列を記憶データと呼ぶ。ここで、ネットワーク・アドレスの中の*はドント・ケアであるので、対応する記憶データ“01. 10. 00. 00”のビット列の上位4ビットが有効であり、それ以下のビットは無効であることを示す必要がある。そこで、マスク情報と呼ばれる情報を記憶データと、対にして記憶させている。以降、この対を構造化データと呼ぶ。前記の例では、ビット列“11. 11. 00. 00”で表現される。ここで、“1”がマスク無効状態を、“0”がマスク有効状態を示している。マスク有効状態となっているマスク情報に対応する記憶データのビットには、記憶データの無効状態“0”を格納することにする。

20

各セグメントに入力された通信データに対してネットワーク機器が有する通信データ制御機能としては、通信データに付随する送出元ネットワーク・アドレスと宛先ネットワーク・アドレスおよびあらかじめ設定されている転送規則を基に転送の可否を計算する機能や、前記宛先アドレスとネットワーク機器の接続関係を基に最適な転送ルートを計算し転送先ネットワーク・アドレスを生成する機能などがある。

例えば、図24において4進表記の宛先ネットワーク・アドレスがPC401-2に対応する(2. 1. 2. 3)であるような通信データを、ネットワーク機器400-3が転送する場合、図から明らかに分かるように、4進表記のネットワーク・アドレス(2. *. *. *)に対応するネットワーク機器400-2に転送するよりも、4進表記のネットワーク・アドレス(2. 1. 2. *)に対応するネットワーク機器400-7に転送する方が、最適である。つまり、マスク情報を考慮して宛先ネットワーク・アドレスと比較した結果一致するネットワーク・アドレスに対応するネットワーク機器の中で、そのネットワーク・アドレスにおけるマスク有効状態のビット数が最も少ないマスク情報を持つ、ネットワーク機器を選ぶのが最適である。

30

このように、各ユーザ端末同士を直接通信回線で接続するのではなくネットワーク機器により通信データの転送を制御して通信を行うことにより、有限の通信回線を、安全性を確保しながら効率よく使用している。

次に図面を参照して、従来のネットワーク機器の説明を行う。図25は従来のネットワーク機器の一構成例を示すブロック図である。図25では従来のネットワーク機器400について、図24のネットワーク機器400-3に適用した場合を例にして、その構成と動作を説明する。

40

ネットワーク機器400は、入力通信データ407を入力とし、出力通信データ408を出力する。入力通信データ407は、送出元ネットワーク・アドレス409と、転送先ネットワーク・アドレス410と、宛先ネットワーク・アドレス411を有している。出力通信データ408は、送出元ネットワーク・アドレス409と、第2の転送先ネットワーク・アドレス412と、宛先ネットワーク・アドレス411を有している。図25では従来のネットワーク機器400を、図24のネットワーク機器400-3に適用した場合を例にして説明するので、入力通信データ407の転送先ネットワーク・アドレス410は当然ネットワーク機器400-3のネットワーク・アドレスとなっている。

50

ネットワーク機器 400 は、宛先ネットワーク・アドレス抽出部 405 と、連想メモリ 300 と、エンコーダ 308 と、転送先ネットワーク・アドレス格納メモリ 402 と、転送先ネットワーク・アドレス変更部 406 と、により構成される。宛先ネットワーク・アドレス抽出部 405 は、入力通信データ 407 の宛先ネットワーク・アドレス 410 を抽出し、検索データ 307 として連想メモリ 300 に入力する。

ネットワーク機器 400 には、ネットワーク中でネットワーク機器 400 に接続されているネットワーク機器の中で、自分自身が属するセグメントの外部にあるネットワーク機器の属するセグメントのネットワーク・アドレスを、連想メモリ 300 の連想メモリ・ワード 305-0~305-3 にそれぞれ格納している。図 25 では従来のネットワーク機器 400 を、図 24 のネットワーク機器 400-3 に適用した場合を例にして説明しているので、連想メモリ・ワード 305-0 には、ネットワーク機器 400-1 が属するセグメント 1 の 4 進表記のネットワーク・アドレス (1. *. *. *) を前述のように記憶データ “01. 00. 00. 00” とマスク情報 “11. 00. 00. 00” の対で表現される構造化データの形式で記憶している。同様に、連想メモリ・ワード 305-1 にはネットワーク機器 400-2 が属するセグメント 2 の 4 進表記のネットワーク・アドレス (2. *. *. *) を、連想メモリ・ワード 305-2 にはネットワーク機器 400-6 が属するセグメント 6 の 4 進表記のネットワーク・アドレス (1. 2. 2. *) を、連想メモリ・ワード 305-3 にはネットワーク機器 400-7 が属するセグメント 7 の 4 進表記のネットワーク・アドレス (2. 1. 2. *) を記憶している。連想メモリ 300 は、通常のメモリと同様にアドレスを指定して記憶データの書き込み、読み出しを行う機能のほかに、対応するマスク情報を考慮して入力された検索データ 307 と比較した結果一致する記憶データの中でマスク情報のマスク有効状態のビットが最も少ない記憶データに対応する一致線 301-0~301-3 を有効状態にする機能を有している。この機能は、構造化データの形式の定義より、対応するマスク情報を考慮して入力された検索データ 307 と比較した結果、一致する記憶データの中で記憶データの無効状態のビットが最も少ない記憶データに対応する一致線 301-0~301-3 を有効状態にする機能と同等である。従来、この種の連想メモリ 300 としては、例えば、特願 2000-181406、特願 2000-243485、国際出願番号 PCT/JPO1/03562 がある。

連想メモリ 300 が出力した一致線 301-0~301-3 はエンコーダ 308 によりアドレス出力信号 309 に符号化される。転送先ネットワーク・アドレス格納メモリ 402 には、連想メモリ 300 の各連想メモリ・ワード 305-0~305-3 に構造化データの形式で格納されているセグメントのネットワーク・アドレスに対応するネットワーク機器のネットワーク・アドレスを、連想メモリ 300 の格納アドレスと同一のアドレスのメモリ・ワード 403-0~403-3 に記憶させてある。たとえば、連想メモリ 300 の連想メモリ・ワード 305-0 には 4 進表記のアドレス (1. *. *. *) が記憶されているが、これに対応する図 24 のネットワーク機器 400-1 のネットワーク・アドレスが転送先ネットワーク・アドレス格納メモリ 402 のメモリ・ワード 403-0 に格納されている。同様に転送先ネットワーク・アドレス格納メモリ 402 のメモリ・ワード 403-1 にはネットワーク機器 400-2 のアドレスが、メモリ・ワード 403-2 にはネットワーク機器 400-6 のアドレスが、メモリ・ワード 403-3 にはネットワーク機器 400-7 のアドレスが格納されている。転送先ネットワーク・アドレス格納メモリ 402 はアドレス出力信号 309 をリード・アドレスとして指定される格納データを、メモリ・データ信号 404 として出力する。

転送先ネットワーク・アドレス変更部 406 は、入力通信データ 407 の転送先ネットワーク・アドレス 410 をメモリ・データ信号 404 に応じて第 2 の転送先ネットワーク・アドレス 412 に変更し、出力通信データ 408 として第 2 の転送先ネットワーク・アドレス 412 に対応するネットワーク機器に向けて転送を行う。

たとえば入力通信データ 407 の 4 進表記の宛先ネットワーク・アドレス 411 が (1. 2. 2. 1) の場合、連想メモリ 300 での検索動作終了時には、連想メモリ・ワード 305-2 が格納している 4 進表記の (1. 2. 2. *) に対応する一致線 301-2 のみ

10

20

30

40

50

が有効状態となる。これにより、エンコーダ308はアドレス出力信号309として10進表記で“2”を出力し、転送先ネットワーク・アドレス格納メモリ402はネットワーク機器400-6のネットワーク・アドレスをメモリ・データ信号404として出力する。転送先ネットワーク・アドレス変更部406により、出力通信データ408の第2の転送先ネットワーク・アドレス412としてネットワーク機器400-6のネットワーク・アドレスを設定し、ネットワーク機器400-6に向けて出力通信データ408を転送する。

〔従来の連想メモリの説明〕

図23は、従来の連想メモリの一構成例を示すブロック図である。図23では、図24のネットワーク機器400-3に適用した場合を例にして、その構成と動作を説明する。したがって、連想メモリ300は8ビット4語の構成と仮定する。 10

連想メモリ300は、8ビット4語構成の1次検索用連想メモリ302と、8ビット4語構成の2次検索用連想メモリ303とから構成される。1次検索用連想メモリ302は、各8ビットの記憶データおよびマスク情報から構成される構造化データを格納できる1次連想メモリ・ワード305-0~305-3を有する。ここで、構造化データのドント・ケア“*”状態のビットは、記憶データの該当ビットを記憶データの無効状態とし、マスク情報の該当ビットをマスク・データの有効状態とすることにより表現される。1次検索用連想メモリ302は、対応するマスク情報を考慮して検索データ307と比較した結果一致する記憶データを検索する1次検索を行い、一致した記憶データ同士に対して記憶データの有効状態を真とした論理和演算を行い、得られた値を中間データ304-1~304-8として出力する。2次検索用連想メモリ303は、対応する1次連想メモリ・ワード305-0~305-3に格納されている8ビットの記憶データと同じ値を2次記憶データとして格納している連想メモリ・ワード306-0~306-3を有し、8ビットの中間データ304-1~304-8と一致する2次記憶データを検索する2次検索を行い、一致する2次記憶データを格納している連想メモリ・ワード306-0~306-3に対応する一致線301-0~301-3を有効状態にする。一致線301-0~301-3はエンコーダ308により、図示しないメモリをアクセスするためのアドレス出力信号309に符号化される。なお、エンコーダ308はプライオリティ機能を有する必要はない。 20

なお、本例では、マスク情報の有効状態を“0”、無効状態を“1”とし、記憶データの有効状態を“1”、無効状態を“0”とする。記憶データと同様に、中間データ304-1~304-8の有効状態を“1”、無効状態を“0”とする。一致線301-0~301-3の有効状態を“1”、無効状態を“0”とする。 30

ここで、1次検索用連想メモリ302の各1次連想メモリ・ワード305-0~305-3に格納されている記憶データ、マスク情報には、図25と同様にネットワーク機器400-3の4進表記のネットワーク・アドレス(3. *. *. *)以外の接続情報を記憶しているものとする。このとき、接続情報の中のドント・ケア“*”状態のビットは、マスク情報の該当ビットをマスク情報の有効状態“0”とすることで表現される。記憶データの該当ビットには、記憶データの無効状態“0”を格納する。

つまり、1次連想メモリ・ワード305-0には4進表記の(1. *. *. *)を表現するため、記憶データには2進表記で“01. 00. 00. 00”を、マスク情報として“11. 00. 00. 00”を格納してある。同様に1次連想メモリ・ワード305-1には4進表記の(2. *. *. *)を表現するため、記憶データには2進表記で“10. 00. 00. 00”を、マスク情報として“11. 00. 00. 00”を格納してある。1次連想メモリ・ワード305-2には4進表記の(1. 2. 2. *)を表現するため、記憶データには2進表記で“01. 10. 10. 00”を、マスク情報として“11. 11. 11. 00”を格納してある。1次連想メモリ・ワード305-3には4進表記の(2. 1. 2. *)を表現するため、記憶データには2進表記で“10. 01. 10. 00”を、マスク情報として“11. 11. 11. 00”を格納してある。 40

1次検索用連想メモリ302は、対応するマスク情報を考慮して比較した結果、外部から 50

入力された検索データ307と一致する記憶データを1次連想メモリ・ワード305-0～305-3の中で検索する1次検索を行う。前記の従来のネットワーク機器の動作説明と同様に、図23では検索データ307として図24のPC401-2の4進表記のネットワーク・アドレス(1. 2. 2. 1)を入力した場合の動作を示す。このとき1次検索の結果として、1次連想メモリ・ワード305-0に格納されている4進表記の(1. *. *. *)と、1次連想メモリ・ワード305-2に格納されている4進表記の(1. 2. 2. *)が検索データ307と一致する。1次検索用連想メモリ302は、検索データ307と一致する1次連想メモリ・ワード305-0、305-2の中に格納されている2進表記の記憶データ“01. 00. 00. 00”、“01. 10. 10. 00”に対し、記憶データの有効状態を真とした論理和演算を行い、得られた8ビットの値“01. 10. 10. 00”を中間データ304-1～304-8として出力する。

10

2次検索用連想メモリ303の各連想メモリ・ワード306-0～306-3に格納する2次記憶データとして、1次検索用連想メモリ302の対応する1次連想メモリ・ワード305-0～305-3に格納されている記憶データと、同じ値を格納する。つまり2進表記で、連想メモリ・ワード306-0には“01. 00. 00. 00”を、連想メモリ・ワード306-1には“10. 00. 00. 00”を、連想メモリ・ワード306-2には“01. 10. 10. 00”を、連想メモリ・ワード306-3には“10. 01. 10. 00”を、それぞれ格納してある。

2次検索用連想メモリ303は、1次検索用連想メモリ302から入力された中間データ304-1～304-8の2進表記の状態“01101000”と全ビットが一致する2次記憶データを連想メモリ・ワード306-0～306-3の中で検索する2次検索を実行する。本例では、連想メモリ・ワード306-2が格納する2次記憶データが完全に一致し、対応する一致線301-2に有効状態“1”を出力する。不一致であった残りの一致線301-0、301-1、および301-3には無効状態“0”を出力する。エンコーダ308は、連想メモリ300から入力される一致線301-0～301-3の状態“0100”を符号化した結果、2進表記の“10”、10進表記の“2”をアドレス出力信号309として出力する。

20

したがって、連想メモリ300は、対応するマスク情報を考慮して入力された検索データ307と比較した結果一致する記憶データの中で、マスク情報の有効状態のビットが最も少ない記憶データ、したがって対応するマスク情報を考慮して入力された検索データ307と比較した結果一致する記憶データの中で記憶データの無効状態のビットが最も少ない記憶データに対応する一致線301-2のみに有効状態を出力することができる。そのため、プライオリティ機能のないエンコーダ308を用いてもアドレス出力信号309として10進表記の“2”が正しく得られることが分かる。また、上述のように構造化データをソートすることなしにランダムな順番で1次連想メモリ・ワード305-0～305-3に格納しているが、格納する順番によらずに正しい結果が得られていることも分かる。従来の連想メモリ300では次に示すように、格納容量を増大するために連想メモリ300を複数接続した場合、構造化データをソート処理して格納し、かつプライオリティ・エンコーダを用いなければ正しいアドレス出力信号を得ることができない。

30

図26は、従来の連想メモリ300-0、300-1を接続したときの第1の構成例と動作例を示すブロック図である。本例では図23の説明と同様に、連想メモリ300-0、300-1は、それぞれ8ビット4語構成とし、連想メモリ300-1が上位側のアドレス空間を占めることとする。したがって、全体で8語の容量があることになる。

40

検索データ307は接続されているすべての連想メモリ300-0、300-1に入力される。連想メモリ300-0は一致線301-0-0～301-3-0を、連想メモリ300-1は一致線301-0-1～301-3-1を、それぞれプライオリティ機能のないエンコーダ310に出力する。エンコーダ310は一致線301-0-0～301-3-1を図示しないメモリをアクセスするためのアドレス出力信号309に符号化する。

連想メモリ300-0は1次検索用連想メモリ302-0と2次検索用連想メモリ303-0から構成され、1次検索用連想メモリ302-0から中間データ304-1-0～3

50

10

20

30

40

50

。2次検索用連想メモリ303-1は、対応する一致線301-2-1に有効状態“1”を出力し、他の一致線301-0-1、301-1-1、301-3-1には無効状態“0”を出力する。このように連想メモリ300-1単体としては、入力された検索データ307と、対応するマスク情報を考慮して比較した結果一致する記憶データの中で、マスク情報の有効状態のビットが最も少ない記憶データに対応する一致線301-2-1のみに有効状態を出力していることになる。

ここでエンコーダ310に入力されている一致線301-0-0～301-3-1のうち、一致線301-3-0、301-2-1の2本が有効状態“1”となっている。したがって、プライオリティ機能を有しないエンコーダ310はアドレス出力信号309として“不定”を出力することになる。エンコーダ310が上位側アドレスを優先するプライオリティ機能を有していると仮定しても、アドレス出力信号309として、2進表記で“110”、10進表記で“6”を出力することになる。これらは図から明らかに分かる最適な4進表記の構造化データ(2. 1. 2. *)を格納している1次連想メモリ・ワード305-3-0に対応する値、2進表記で“011”とは異なり、不正な状態を示している。したがって、図26に示す従来の連想メモリを複数接続するときの第1の構成例のように、構造化データをソート処理することなしにランダムな順番で1次連想メモリ・ワード305-0-0～305-3-1に格納した場合には、正しい結果を得ることができないことが分かる。

図27は従来の連想メモリ300-0、300-1を複数接続するときの第2の構成例と動作例を示すブロック図である。本例では図26の説明と同様に、連想メモリ300-0、300-1は、それぞれ8ビット4語構成とし、連想メモリ300-1が上位側のアドレス空間を占めることとする。

図26と同様に、検索データ307は接続されているすべての連想メモリ300-0、300-1に入力される。連想メモリ300-0は一致線301-0-0～301-3-0を、連想メモリ300-1は一致線301-0-1～301-3-1を、それぞれアドレス信号生成部319に出力する。アドレス信号生成部319は、一致線301-0-0～301-3-1を図示しないメモリをアクセスするためのアドレス出力信号309に符号化する。

連想メモリ300-0、300-1は、図26とまったく同様に構成される。ただし、構造化データは、記憶データの値を数値とみなして小さい順から大きい順にソート処理を行った結果の順番に従って1次連想メモリ・ワード305-0-0～305-3-1に格納するものとする。図26と同様の8個の構造化データを例とすると、1次連想メモリ・ワード305-0-0には記憶データが4進表記で(1. 0. 0. 0)と最小である4進表記の構造化データ(1. *. *. *)を表現する記憶データ、マスク情報を格納する。以下、順番に1次連想メモリ・ワード305-1-0には4進表記の構造化データ(1. 2. *. *)を、1次連想メモリ・ワード305-2-0には4進表記の構造化データ(1. 2. 2. *)を、1次連想メモリ・ワード305-3-0には4進表記の構造化データ(2. *. *. *)を、1次連想メモリ・ワード305-0-1には4進表記の構造化データ(2. 1. *. *)を、1次連想メモリ・ワード305-1-1には4進表記の構造化データ(2. 1. 2. *)を、1次連想メモリ・ワード305-2-1には4進表記の構造化データ(3. *. *. *)を、1次連想メモリ・ワード305-3-1には4進表記の構造化データ(3. 1. *. *)を、それぞれ表現する記憶データ、マスク情報を格納する。

2次検索用連想メモリ303-0、303-1の連想メモリ・ワード306-0-0～306-3-1には、対応する1次検索用連想メモリ302-0、302-1の1次連想メモリ・ワード305-0-0～305-3-1に格納されている記憶データと同じ値を、2次記憶データとして格納する。したがって、連想メモリ・ワード306-0-0～306-3-1には順番に4進表記で(1. 0. 0. 0)、(1. 2. 0. 0)、(1. 2. 2. 0)、(2. 0. 0. 0)、(2. 1. 0. 0)、(2. 1. 2. 0)、(3. 0. 0. 0)、(3. 1. 0. 0)を、それぞれ格納する。

10

20

30

40

50

アドレス信号生成部319では、連想メモリ300-k ($k=0, 1$) ごとに一致線301-0-k~301-3-kを入力とするエンコーダ311-kと一致検出手段313-kを有し、またプライオリティ・エンコーダ315と選択手段316を有している。

エンコーダ311-kは、入力された一致線301-0-k~301-3-kを符号化し、その結果を一致アドレス信号312-kとして選択手段316に出力する。

一致検出手段313-kは、入力された一致線301-0-k~301-3-kに有効状態の信号が一つでも含まれる場合には一致検出信号314-kに一致線の有効状態“1”を出力し、それ以外の場合には一致検出信号314-kに一致線の無効状態“0”を出力する。一致検出手段313-kは、例えば一致線の有効状態を真とした論理和演算器で構成することができる。

プライオリティ・エンコーダ315は、一致検出信号314-0~314-1を入力とし、符号化した結果を上位アドレス信号317として選択手段316に出力するとともにアドレス信号生成部319の外部にも出力する。一致検出信号314-0~314-1の中に有効状態の信号が2つ以上ある場合には、アドレス空間で上位側に割り当てられている連想メモリ300に対応する一致検出信号314を優先する。

選択手段316は、入力された一致アドレス信号312-0~312-1の中から、プライオリティ・エンコーダ316から入力された上位アドレス信号317に対応する一致アドレス信号312を選択し、下位アドレス信号318としてアドレス信号生成部319の外部に出力する。

アドレス信号生成部319から出力された上位アドレス信号317、下位アドレス信号318は、それぞれアドレス出力信号309の上位側、下位側として連結され、図示しないメモリをアクセスするためのアドレス信号となる。

ここで検索データ307として、図26の説明と同様に、図24に示すPC401-2の4進表記のネットワーク・アドレス(2. 1. 2. 3)を入力した場合の動作について説明する。

連想メモリ300-0では、まず1次検索用連想メモリ302-0が、対応するマスク情報を考慮して検索データ307と比較した結果一致する記憶データを検索する1次検索を行い、結果として1次連想メモリ・ワード305-3-0に格納されている4進表記の構造化データ(2. *. *. *)が検索データ307と一致する。1次検索用連想メモリ302-0は、一致した1次連想メモリ・ワード305-3-0の中に格納されている4進表記の記憶データ(2. 0. 0. 0)を中間データ304-1-0~304-8-0として2次検索用連想メモリ303-0に出力する。2次検索用連想メモリ303-0は、中間データ304-1-0~304-8-0と完全に一致する2次記憶データを検索する2次検索を行い、結果として連想メモリ・ワード306-3-0に格納されている2次記憶データのみが中間データ304-1-0~304-8-0と一致する。2次検索用連想メモリ303-0は、対応する一致線301-3-0に有効状態“1”を出力し、他の一致線301-0-0、301-1-0、301-2-0には無効状態“0”を出力する。このように連想メモリ300-0単体としては、入力された検索データ307と、対応するマスク情報を考慮して比較した結果一致する記憶データの中で、マスク情報の有効状態のビットが最も少ない記憶データに対応する一致線301-3-0のみに有効状態を出力していることになる。

連想メモリ300-1では、まず1次検索用連想メモリ302-1が、対応するマスク情報を考慮して検索データ307と比較した結果一致する記憶データを検索する1次検索を行い、結果として1次連想メモリ・ワード305-0-1、305-1-1に格納されている4進表記の構造化データ(2. 1. *. *)、(2. 1. 2. *)が検索データ307と一致する。1次検索用連想メモリ302-1は、一致した1次連想メモリ・ワード305-0-1、305-1-1の中に格納されている4進表記の記憶データ(2. 1. 0. 0)、(2. 1. 2. 0)に対して記憶データの有効状態を真とした論理和演算を行い、得られた4進表記で(2. 1. 2. 0)の8ビットの演算結果を、中間データ304-1-1~304-8-1として2次検索用連想メモリ303-1に出力する。2次検索用

10

20

30

40

50

連想メモリ303-1は、中間データ304-1-1~304-8-1と完全に一致する2次記憶データを検索する2次検索を行い、結果として連想メモリ・ワード306-1-1に格納されている2次記憶データのみが中間データ304-1-1~304-8-1と一致する。2次検索用連想メモリ303-1は、対応する一致線301-1-1に有効状態“1”を出力し、他の一致線301-0-1、301-2-1、301-3-1には無効状態“0”を出力する。このように連想メモリ300-1単体としては、入力された検索データ307と、対応するマスク情報を考慮して比較した結果一致する記憶データの中で、マスク情報の有効状態のビットが最も少ない記憶データに対応する一致線301-1-1のみに有効状態を出力していることになる。

ここでアドレス信号生成部319に入力されている一致線301-0-0~301-3-0の中では一致線301-3-0のみが有効状態“1”となっており、一致線301-0-1~301-3-1の中では301-1-1のみが有効状態“1”となっている。したがって、連想メモリ300-0に対応するプライオリティ機能を有しないエンコーダ311-0は一致アドレス信号312-0として2進表記で“11”を選択手段316に出力し、一致検出手段313-0は一致検出信号314-0に有効状態“1”を出力する。連想メモリ300-1に対応するプライオリティ機能を有しないエンコーダ311-1は一致アドレス信号312-1として2進表記で“01”を選択手段316に出力し、一致検出手段313-1は一致検出信号314-1に有効状態“1”を出力する。

プライオリティ・エンコーダ315に入力されている一致検出信号314-0~314-1の中で一致検出信号314-0、314-1の2本が有効状態“1”であるため、アドレス空間で上位側に割り当てられている連想メモリ300-1に対応する一致検出信号314-1を、プライオリティ・エンコーダ315は優先する。その結果2進表記で“1”を、上位アドレス信号317として選択手段316に出力するとともに、アドレス信号生成部319の外部にも出力する。

選択手段316は、プライオリティ・エンコーダ315から入力された上位アドレス信号317が2進表記で“1”であるため、対応する2進表記で“01”の一致アドレス信号312-1を選択し、下位アドレス信号318としてアドレス信号生成部319の外部に出力する。

アドレス信号生成部319から出力された2進表記でそれぞれ“1”、“01”の上位アドレス信号317、下位アドレス信号318は、それぞれアドレス出力信号309の上位側、下位側として連結され2進表記で“101”となる。つまり、従来の連想メモリを複数接続するときの第2の構成例では図26と異なり、最適な4進表記の構造化データ(2.1.2.*)を格納している1次連想メモリ・ワード305-1-1に対応する値、2進表記で“101”が、アドレス出力信号309として正しく得られている。

したがって、連想メモリ300単体の場合には、構造化データをソート処理することなしにランダムな順番で1次連想メモリ・ワード305に格納しても正しい検索結果が得られるにもかかわらず、記憶容量を増大させるために連想メモリ300を複数接続する場合には、図示しないCPUなどにより構造化データの記憶データの値を数値とみなして小さい順から大きい順にソート処理を行った結果の順番に従って構造化データを1次連想メモリ・ワード305に格納しなければならない。

ここで、例えば図25に示す転送先アドレス計算に連想メモリ300を使用する場合、ネットワーク機器同士の接続追加、接続切断などの接続状況の変更は頻繁に行われているので、これらを反映させるためネットワーク機器同士が一定周期で接続状況を交信しあい、連想メモリ300に格納している構造化データを最新の状況に更新する必要がある。ところが、例えばインターネットの場合、接続状況は10万ワード以上にもなり、ソート処理実行には高速なCPUを用いても数秒を要し、そのネットワーク機器は、ソート処理実行期間中は転送処理が実行できないという問題があった。

また、連想メモリ300を複数接続するときには、連想メモリ300単体で使用時には不要であった高価な高速CPUシステムを搭載しなければならない、ネットワーク機器全体としての価格が上昇してしまうという問題があった。

10

20

30

40

50

また、アドレス信号生成部 319 に、1 本の一致線 301 でも有効状態を出力している連想メモリ 300 の中で、アドレス空間において上位のアドレスを占める連想メモリ 300 を識別するための上位アドレス信号 317 を生成するためにはプライオリティ・エンコーダ 315 が必要であり、通常のエンコーダに比べて、プライオリティ機能の部分だけ面積が大きくなるとともに、符号化処理時間も著しく長くなってしまふ。したがって、ネットワーク機器全体としての価格が上昇するとともに、処理速度も低下してしまうという問題があった。

また、上述のようにソート処理が必要なために、連想メモリ 300 を用いたネットワーク機器では、単純に連想メモリ 300 を追加するだけでは、記憶容量を増加させることができないという問題点があった。

そこで、本発明の目的は、ソート処理を伴わずに記憶データの書き込み、更新および削除を実行した場合においても、検索時に複数の記憶データが検索データと一致したときに、その中で最適な一つを高速に選択して出力することが可能な、複数の連想メモリから構成される連想メモリ・システムを提供することである。

更に他の目的として、ネットワーク機器のトータルコストを削減することである。

更に他の目的として、転送動作を中断せずに、連想メモリに格納しているデータの削除、追加、変更を実行することができるネットワーク機器を提供することにある。

更に他の目的として、プライオリティ・エンコーダを必要としないネットワーク機器を提供することにある。

更に他の目的として、記憶容量の増大、減少に合わせて、連想メモリの追加、削除を容易に行うことができるネットワーク機器を提供することにある。

更に他の目的として、高速にデータを転送できるネットワーク・システムを提供することにある。

発明の開示

本発明の連想メモリ・システムは、手段 1 として、記憶データの 1 ビットまたは複数ビットごとに検索対象から除外するか否かを、有効状態、無効状態により設定可能なマスク情報を該記憶データの 1 ワードまたは複数ワードごとに有し、

1 ワードごとに該マスク情報がマスク有効状態の場合に対応する該記憶データの 1 ビットまたは複数ビットを検索対象から除外し、入力された検索データと一致するワードを選択する 1 次検索を実行する 1 次検索手段と、

前記 1 次検索手段における選択されたワードの中で、記憶データの無効状態のビットが最も少ない記憶データの値を、中間データとして出力する中間データ生成手段と、

から構成される 1 次連想メモリを複数個有する連想メモリ・システムにおいて、

前記複数個の中間データ生成手段が出力する前記中間データの中で、記憶データの無効状態のビットが最も少ない中間データを選択し、最適化中間データとして出力する中間データ演算手段と、

前記複数個の 1 次検索手段に格納されている前記記憶データの値を格納し、前記最適化中間データと一致する記憶データの値を選択する 2 次検索を実行する一つ又は複数の 2 次検索手段と、

2 次検索の終了後に選択されている前記記憶データの値に対応する一致信号に有効状態を出力する一致信号出力手段と、

を有するものである。

本発明の連想メモリ・システムは、手段 2 として、記憶データの 1 ビットまたは複数ビットごとに検索対象から除外するか否かを、有効状態、無効状態により設定可能なマスク情報を該記憶データの 1 ワードまたは複数ワードごとに有し、

1 ワードごとにマスク情報がマスク有効状態の場合に対応する該記憶データの 1 ビットまたは複数ビットを検索対象から除外し、入力された検索データと一致するワードを選択する 1 次検索を実行する 1 次検索手段と、

前記 1 次検索手段における該選択されたワードの中で、記憶データの無効状態のビットが最も少ない記憶データの値を中間データとして出力する中間データ生成手段と、

10

20

30

40

50

から構成される 1 次連想メモリを複数個有する連想メモリ・システムにおいて、前記複数個の 1 次連想メモリが出力する前記中間データの中で、記憶データの無効状態のビットが最も少ない中間データを出力している 1 次連想メモリに対応する検出信号のみに有効状態を出力する中間データ判定手段と、

対応する前記 1 次検索手段に格納されている前記記憶データの値を格納し、該 1 次検索手段に対応する前記中間データ生成手段が出力する前記中間データと一致する記憶データの値を選択する 2 次検索を実行する複数の 2 次検索手段と、
前記各 1 次連想メモリに対応する前記検出信号が無効状態の場合には対応する一致信号にすべて無効状態を出力し、該検出信号が有効状態の場合には 2 次検索の終了後に選択されている前記記憶データの値に対応する前記一致信号に有効状態を出力する一致信号出力手段と、を有するものである。

10

本発明の連想メモリ・システムは、手段 3 として、記憶データの 1 ビットまたは複数ビットごとに検索対象から除外するか否かを、有効状態、無効状態により設定可能なマスク情報を該記憶データの 1 ワードまたは複数ワードごとに有し、優先順位を有する k 個 (K は 2 以上の整数) の検索領域から構成される検索データを入力とし、

1 ワードごとに前記マスク情報がマスク有効状態の場合に対応する該記憶データの 1 ビットまたは複数ビットを検索対象から除外し、入力された検索データと一致するワードを選択する 1 次検索を実行する 1 次検索手段と、

1 次検索の終了後に選択されているワードが格納している記憶データにおける第 1 の優先順位の検索領域に対応する領域の中で、記憶データの無効状態のビットが最も少ない第 1 の優先順位の検索領域に対応する領域の記憶データの値を、第 1 の中間データとして出力する第 1 の中間データ生成手段と、

20

第 $(i - 1)$ の 2 次検索終了後 (i は 2 以上 k 以下の整数) に選択されているワードが格納している記憶データにおける第 i の優先順位の検索領域に対応する領域の中で、記憶データの無効状態のビットが最も少ない第 i の優先順位の検索領域に対応する領域の記憶データの値を、第 j の中間データとして出力する、第 2 乃至第 k の中間データ生成手段と、から構成される 1 次連想メモリを複数個有する連想メモリ・システムにおいて、

前記複数個の第 j の中間データ (j は 1 以上 k 以下の整数) の中で、記憶データの無効状態のビットが最も少ない第 j の中間データを選択し、第 j の最適化中間データとして出力する、第 1 乃至第 k の中間データ演算手段と、

30

前記複数個の 1 次検索手段に格納されている第 j の検索領域に対応する領域の記憶データの値を格納し、前記第 j の最適化中間データと一致する記憶データの値を選択する第 j の 2 次検索を実行する、一つ又は複数の第 1 乃至第 k の 2 次検索手段と、

第 k の 2 次検索の終了後に選択されている前記記憶データの値に対応する一致信号に有効状態を出力する一致信号出力手段と、を有するものである。

本発明の連想メモリ・システムは、手段 4 として、前記第 1 乃至第 k の 2 次検索手段において、

該第 1 乃至第 k の最適化中間データの中の複数から一つを選択する選択手段と、2 次検索の対象とする検索領域を選択する制御手段とを有することにより、

40

前記 2 次検索手段、および前記中間データ演算手段の、それぞれ第 1 乃至第 k の中の一部または全てを共有するものである。

本発明の連想メモリ・システムは、手段 5 として、記憶データの 1 ビットまたは複数ビットごとに検索対象から除外するか否かを、有効状態、無効状態により設定可能なマスク情報を該記憶データの 1 ワードまたは複数ワードごとに有し、

優先順位を有する k 個 (K は 2 以上の整数) の検索領域から構成される検索データを入力とし、

1 ワードごとに前記マスク情報がマスク有効状態の場合に対応する該記憶データの 1 ビットまたは複数ビットを検索対象から除外し、入力された検索データと一致するワードを選択する 1 次検索を実行する 1 次検索手段と、

50

1 次検索の終了後に選択されているワードが格納している記憶データにおける第 1 の優先順位の検索領域に対応する領域の中で、記憶データの無効状態のビットが最も少ない第 1 の優先順位の検索領域に対応する領域の記憶データの値を、第 1 の中間データとして出力する第 1 の中間データ生成手段と、

第 $(i - 1)$ の 2 次検索終了後 (i は 2 以上 k 以下の整数) に選択されているワードが格納している記憶データにおける第 i の優先順位の検索領域に対応する領域の中で、記憶データの無効状態のビットが最も少ない第 i の優先順位の検索領域に対応する領域の記憶データの値を、第 i の中間データとして出力する第 2 乃至第 k の中間データ生成手段と、

から構成される 1 次連想メモリを複数個有する連想メモリ・システムにおいて、前記複数個の第 j の中間データ (j は 1 以上 k 以下の整数) の中で、対応する第 $(j - 1)$ の検出信号が有効状態の該第 j の中間データのみを選択する、第 j の無効化手段と、第 j の無効化手段が選択した複数の第 j の中間データの中で、記憶データの無効状態のビットが最も少ない第 j の中間データを出力している 1 次連想メモリに対応する第 j の検出信号のみに有効状態を出力する、第 1 乃至第 k の中間データ判定手段と、

1 次検索開始前にすべての第 0 の検出信号を有効状態とする初期化手段と、前記複数個の 1 次検索手段に格納されている第 j の検索領域に対応する領域の記憶データの値を格納し、対応する 1 次連想メモリが出力する前記第 j の中間データと一致する記憶データの値を選択する第 j の 2 次検索を実行する、複数の第 1 乃至第 k の 2 次検索手段と、

各 1 次連想メモリに対応する第 k の検出信号が、無効状態の場合には対応する一致信号にすべて無効状態を出力し、有効状態の場合には第 k の 2 次検索の終了後に選択されている記憶データの値に対応する前記一致信号に有効状態を出力する一致信号出力手段と、を有するものである。

本発明の連想メモリ・システムは、手段 6 として、前記第 1 乃至第 k の 2 次検索手段において、

該第 1 乃至第 k の中間データの中の複数から一つを選択する選択手段と、2 次検索の対象とする検索領域を選択する制御手段とを有し、

各 1 次連想メモリに対応する前記検出信号が検索開始から有効状態を保持しているか否かを記憶する一つまたは複数の記憶手段を有することにより、

前記 2 次検索手段、前記無効化手段、および前記中間データ判定手段の、それぞれ第 1 乃至第 k の中の一部または全てを共有するものである。

本発明の連想メモリ・システムは、手段 7 として、前記中間データ判定手段は、入力された前記中間データの中で、記憶データの無効状態のビットが最少の中間データを選択し、最適化中間データとして出力する中間データ演算手段と、

前記最適化中間データと一致する前記中間データを出力している前記 1 次連想メモリに対応する前記検出信号のみに有効状態を出力する中間データ比較手段とを有する

本発明の連想メモリ・システムは、手段 8 として、前記中間データ演算手段は、前記複数の中間データの同一ビット位置同士を記憶データの有効状態を真として論理和演算することにより構成されるものである。

本発明の連想メモリ・システムは、手段 9 として、前記中間データ演算手段は、記憶データの有効状態を真とする 2 進表記の数値とみなしたときに、前記複数の中間データの中で最大値を選択するものである。

本発明の連想メモリ・システムは、手段 10 として、前記中間データ演算手段は、対応する前記 1 次連想メモリが出力する前記中間データの中で記憶データの無効状態のビット数を計数する複数の無効状態計数手段と、

前記複数の無効状態計数手段の計数結果の中で最小値を演算する最小値演算手段と、前記最小値に対応する該中間データを選択し前記最適化中間データとして出力する選択手段とを、有するものである。

本発明の連想メモリ・システムは、手段 11 として、前記中間データ演算手段は、前記複数の 1 次連想メモリにおける、前記中間データの出力端子と前記最適化中間データの入

10

20

30

40

50

力端子を共用するために、前記中間データ同士の、記憶データの有効状態を真とする結線論理和回路により構成するものである。

本発明の連想メモリ・システムは、手段 1 2 として、前記中間データ判定手段は、前記 1 次連想メモリが出力する前記中間データの中で記憶データの無効状態のビット数を計数する複数の無効状態計数手段と、

前記複数の無効状態計数手段が出力する計数結果の中で最小値を演算する最小値演算手段と、

前記最小値に対応する該中間データを出力している前記 1 次連想メモリに対応する検出信号のみに有効状態を出力する最小値比較手段と、

を有するものである。

10

本発明の連想メモリ・システムは、手段 1 3 として、前記第 j の無効化手段は、無効状態が入力されている第 j の検出信号に対応する、第 j の中間データの全ビットを、すべて記憶データの無効状態に変更する論理積手段により構成されるものである。

本発明の連想メモリ・システムは、手段 1 4 として、前記第 j の無効化手段、および前記第 j の中間データ判定手段は、

前記 1 次連想メモリが出力する前記第 j の中間データの中で記憶データの無効状態のビット数を計数する複数の無効状態計数手段と、

無効状態が入力されている前記検出信号に対応する無効状態計数手段の計数結果を、前記第 j の中間データのビット数と等しい数またはビット数より大きい数に変更する手段と、

前記複数の無効状態計数手段が出力する前記計数結果の中で最小値を演算する最小値演算手段と、

20

前記最小値に対応する中間データを出力している前記 1 次連想メモリに対応する検出信号のみに有効状態を出力する最小値比較手段と、を有するものである。

本発明の連想メモリ・システムは、手段 1 5 として、前記無効状態計数手段は、記憶データの無効状態のビット数を、前記中間データの一側のビット位置から他側に向かって、最初の記憶データの有効状態のビットが現れるまで計数するものである。

本発明の連想メモリ・システムは、手段 1 6 として、前記無効状態計数手段は、対応する 1 次連想メモリに内蔵されるものである。

本発明の連想メモリ・システムは、手段 1 7 として、前記中間データ演算手段は、パイプライン処理を実行可能とする記憶手段を有するものである。

30

本発明の連想メモリ・システムは、手段 1 8 として、前記中間データ判定手段は、該中間データ判定手段が検出信号を出力するタイミングを、並行して実行している 2 次検索の終了と同期させるための一つまたは複数の手段を有するものである。

本発明の連想メモリ・システムは、手段 1 9 として、前記 1 次検索手段において、前記記憶データを格納する手段と、前記 2 次検索手段における該記憶データの値を格納する手段とを共用するものである。

本発明の連想メモリ・システムは、手段 2 0 として、前記連想メモリ・システムにおいて、前記 1 次連想メモリ毎に対応する前記一致信号に有効状態の信号が含まれるか否かを検出する検出手段を有し、かつ前記一致信号同士を論理和演算する論理和手段と、前記論理和手段の出力をアドレス信号の一つの領域として符号化する第 1 の符号化手段と、前記検出手段の出力をアドレス信号の他の領域として符号化する第 2 の符号化手段とを、有するものである。

40

本発明の連想メモリ・システムは、手段 2 1 として、前記連想メモリ・システムにおいて、前記 1 次連想メモリ毎に対応する前記一致信号に有効状態の信号が含まれるか否かを検出する検出手段と、該一致信号をアドレス信号の一つの領域として符号化する第 1 の符号化手段とを有し、前記検出手段の出力を該アドレス信号の他の領域として符号化する第 2 の符号化手段と、前記各 1 次連想メモリに対応する前記第 1 の符号化手段の中から前記第 2 の符号化手段の演算結果に対応して、前記第 1 の符号化手段の出力信号を選択するものである。

本発明の連想メモリ・システムは、手段 2 2 として、前記連想メモリ・システムにおいて

50

、前記検出手段と前記第1の符号化手段を対応する1次連想メモリに内蔵するものである。

本発明のネットワーク機器は、手段23として、手段1から手段22に記載の連想メモリ・システムを用いて一つまたは複数のネットワーク・アドレスの検索を行うものである。本発明のネットワーク・システムは、手段24として、手段23の前記ネットワーク機器を介してネットワークに接続された機器間でデータ通信を行うものである。

発明を実施するための最良の形態

〔第1の実施例の構成〕

次に、本発明の第1の実施の形態の連想メモリ・システムについて図面を参照して詳細に説明する。以降の説明では、 n は1以上の整数、 m 、 p 、 q は2以上の整数とし、 m 、 p 、 q よりも1小さい整数をそれぞれ s 、 r 、 t で表すこととする。図1は、本発明の第1の実施の形態の n ビット($m \times p$)語の連想メモリ・システム200の構成例を示すブロック図である。連想メモリ・システム200は、 p 個の m 語 n ビットの連想メモリ1-0～1- r と、中間データ演算部9と、アドレス信号生成部11とから構成され、 n ビットの検索データ2を入力とし、アドレス出力信号12を出力とする。

k 番目(k は0以上 r 以下の整数)の連想メモリ1- k は、 n ビット m 語の1次検索用連想メモリ4- k と、 n ビット m 語の2次検索用連想メモリ5- k から構成され、 n ビットの検索データ2と、 n ビットの最適化中間データ10-1～10- n を入力とし、 n ビットの中間データ6-1- k ～6- n - k と、 m 本の一致線3-0- k ～3- s - k を出力とする。

1次検索用連想メモリ4- k は、各 n ビットの記憶データおよびマスク情報から構成される構造化データを m 個格納できる1次連想メモリ・ワード7-0- k ～7- s - k を有する。ここで、構造化データのドント・ケア“*”状態のビットは、記憶データの該当ビットを記憶データの無効状態とし、マスク情報の該当ビットをマスク・データの有効状態とすることにより表現される。また、1次検索用連想メモリ4- k は、対応するマスク情報を考慮して検索データ2と比較した結果一致する記憶データを検索する1次検索を1次連想メモリ・ワード7-0- k ～7- s - k の中で行い、一致する記憶データ同士に対して記憶データの有効状態を真とした論理和演算を行い、得られた値を中間データ6-1- k ～6- n - k として、中間データ演算部9に出力する。つまり、1次検索用連想メモリ4- k は、中間データ6-1- k ～6- n - k を連想メモリ1- k の外部の中間データ演算部9に出力することを除くと、図23に示した従来の連想メモリ300の1次検索用連想メモリ302と全く同様に構成することができる。

2次検索用連想メモリ5- k は、各 n ビットの2次記憶データを格納できる連想メモリ・ワード8-0- k ～8- s - k を有する。ここで i 番目(i は0以上 m 以下の整数)の連想メモリ・ワード8- i - k には、対応する1次連想メモリ・ワード7- i - k が格納している記憶データと同じ値を2次記憶データとして格納する。2次検索用連想メモリ5- k は、中間データ演算部9から入力される最適化中間データ10-1～10- n と完全に一致する2次記憶データを検索する2次検索を連想メモリ・ワード8-0- k ～8- s - k の中で行い、一致した2次記憶データに対応する一致線3-0- k ～3- s - k に一致線の有効状態を出力する。つまり、2次検索用連想メモリ5- k は、中間データ6-1- k ～6- n - k の代わりに最適化中間データ10-1～10- n が入力されることを除くと、図23に示した従来の連想メモリ300の2次検索用連想メモリ303と全く同様に構成することができる。

したがって、連想メモリ1- k は、1次検索終了後に中間データ6-1- k ～6- n - k を中間データ演算部9に出力し、2次検索の検索データとして中間データ演算部9から入力される最適化中間データ10-1～10- n を用いることを除くと、図23に示した従来の連想メモリ300と全く同様に構成することができる。

中間データ演算部9は、 p 個の連想メモリ1-0～1- r から入力される p 個の n ビットの中間データ(6-1-0～6- n -0)～(6-1- r ～6- n - r)の中で、最も中間データの無効状態のビット数が少ないものを n ビットの最適化中間データ10-1～1

10

20

30

40

50

0-nとして出力する。図1に示す本発明の第1の実施の形態の中間データ演算部9は、入力されたp個のnビットの中間データ(6-1-0~6-n-0)~(6-1-r~6-n-r)の同一ビット位置同士に対して、中間データの有効状態を真とした論理和演算を行った結果を、nビットの最適化中間データ10-1~10-nとして出力する、論理

和手段13により構成される。
アドレス信号生成部11は、p個のmビットの一致線(3-0-0~3-s-0)~(3-0-r~3-s-r)を入力とし、図示しないメモリをアクセスするためのアドレス出力信号12に符号化して出力する。図1に示す本発明の第1の実施の形態のアドレス信号生成部11は、図27に示したアドレス信号生成部319と異なり、連想メモリ1-k(kは0以上r以下の整数)ごとに一致線3-0-k~3-s-kを入力とする一致検出手段16-kと、すべての一致線(3-0-0~3-s-0)~(3-0-r~3-s-r)を入力とする論理和手段14と、エンコーダ18と、エンコーダ20とを、有している一致検出手段16-kは、入力された一致線3-0-k~3-s-kに有効状態の信号が一つでも含まれる場合には一致検出信号17-kに一致線の有効状態を出力し、それ以外の場合には一致検出信号17-kに一致線の無効状態を出力する。一致検出手段16-kは、例えば一致線の有効状態を真とした論理和演算器で構成することができる。

論理和手段14は、入力されたp個のmビットの一致線(3-0-0~3-s-0)~(3-0-r~3-s-r)の同一ビット位置同士に対して、一致線の有効状態を真とした論理和演算を行った結果を、mビットの最適一致信号15-0~15-sとしてエンコーダ20に出力する。

エンコーダ20は、入力された最適一致信号15-0~15-sを符号化し、その結果を下位アドレス信号21としてアドレス信号生成部11の外部に出力する。以降の説明では、2進数に符号化する場合を例とするが、他の符号化処理でもよいことはいうまでもない。また、図示しないメモリのワード線として直接出力してもよいことはいうまでもない。エンコーダ18は、一致検出信号17-0~17-rを入力とし、符号化した結果を上位アドレス信号19としてアドレス信号生成部11の外部に出力する。以降の説明では、2進数に符号化する場合を例とするが、他の符号化処理でもよいことはいうまでもない。また、図示しないメモリのワード線として直接出力してもよいことはいうまでもない。

アドレス信号生成部11から出力された上位アドレス信号19、下位アドレス信号21は、それぞれ、図示しないメモリをアクセスするためのアドレス出力信号12の上位側、下位側として連結される。

〔第1の実施例の動作〕

次に図面を参照して、本発明の第1の実施の形態の連想メモリ・システムの動作を説明する。図2は、本発明の第1の実施の形態の連想メモリ・システム200を、図26の従来の連想メモリを複数接続するときの第1の構成例の説明と同様に、4語8ビット構成の連想メモリ1-0、1-1を2個を接続し、かつ、構造化データをソート処理することなしにランダムな順番で1次連想メモリ・ワード7-0-0~7-3-1に格納した場合の動作例を示す図である。ここで、全体で8語のアドレス空間の中で連想メモリ1-1が上位側のアドレス空間を占めることとする。

本例では以降、マスク情報の有効状態を“0”、無効状態を“1”とし、記憶データの有効状態を“1”、無効状態を“0”として説明する。また、記憶データと同様に、中間データ6の有効状態を“1”、無効状態を“0”とする。一致線3の有効状態を“1”、無効状態を“0”として説明する。

1次検索用連想メモリ4-0が有する1次連想メモリ・ワード7-0-0~7-3-0には、図26の説明と同様に、4進表記の構造化データとしてそれぞれ(1. *. *. *)、(2. *. *. *. *)、(1. 2. 2. *. *)、(2. 1. 2. *. *)を表現するように、記憶データ、マスク情報を、ソート処理することなしに格納しているものとする。また、2次検索用連想メモリ5-0が有する連想メモリ・ワード8-0-0~8-3-0には、図26の説明と同様に、1次検索用連想メモリ4-0の対応する1次連想メモリ・ワード7-0-0~7-3-0が格納している記憶データと同じ4進表記の値、(1. 0. 0. 0

）、（２．０．０．０）、（１．２．２．０）、（２．１．２．０）を２次記憶データとして格納しているものとする。１次検索用連想メモリ４－１が有する１次連想メモリ・ワード７－０－１～７－３－１には、図２６の説明と同様に、４進表記の構造化データとしてそれぞれ（３．１．＊．＊）、（１．２．＊．＊）、（２．１．＊．＊）、（３．＊．＊．＊）を表現するように、記憶データ、マスク情報を、ソート処理することなしに格納しているものとする。また、２次検索用連想メモリ５－１が有する連想メモリ・ワード８－０－１～８－３－１には、図２６の説明と同様に、１次検索用連想メモリ４－１の対応する１次連想メモリ・ワード７－０－１～７－３－１が格納している記憶データと同じ４進表記の値、（３．１．０．０）、（１．２．０．０）、（２．１．０．０）、（３．０．０．０）を２次記憶データとして格納しているものとする。

10

ここで図２６の説明と同様に、検索データ２として図２４に示すＰＣ４０１－２の４進表記のネットワーク・アドレス（２．１．２．３）を入力した場合の動作について説明する。

連想メモリ１－０では、まず１次検索用連想メモリ４－０が、対応するマスク情報を考慮して検索データ２と比較したときに一致する記憶データを検索する１次検索を行い、結果として１次連想メモリ・ワード７－１－０、７－３－０に格納されている４進表記の構造化データ（２．＊．＊．＊）、（２．１．２．＊）が検索データ２と一致する。１次検索用連想メモリ４－０は、一致した１次連想メモリ・ワード７－１－０、７－３－０の中に格納されている４進表記の記憶データ（２．０．０．０）、（２．１．２．０）に対して記憶データの有効状態を真とした論理和演算を行い、得られた２進表記で“１０．０１．１０．００”の８ビットの演算結果を、中間データ６－１－０～６－８－０として中間データ演算部９に出力する。同様に、連想メモリ１－１では、まず１次検索用連想メモリ４－１が、対応するマスク情報を考慮して検索データ２と比較したときに一致する記憶データを検索する１次検索を行い、結果として１次連想メモリ・ワード７－２－１に格納されている４進表記の構造化データ（２．１．＊．＊）が検索データ２と一致する。１次検索用連想メモリ４－１は、一致した１次連想メモリ・ワード７－２－１の中に格納されている４進表記の記憶データ“１０．０１．００．００”を中間データ６－１－１～６－８－１として中間データ演算部９に出力する。

20

中間データ演算部９は、中間データ６－１－０～６－８－０の２進表記の値“１０．０１．１０．００”と、中間データ６－１－１～６－８－１の２進表記の値“１０．０１．００．００”の中で、最も中間データの無効状態のビット数が少ないものを８ビットの最適化中間データ１０－１～１０－８として出力する。図１の構成例では、論理和手段１３により、同一ビット位置同士に対して、中間データの有効状態を真とした論理和演算を行い、得られた２進表記の演算結果“１０．０１．００．００”を、８ビットの最適化中間データ１０－１～１０－８として連想メモリ１－０、１－１に出力する。

30

２次検索用連想メモリ５－０は、最適化中間データ１０－１～１０－８と完全に一致する２次記憶データを検索する２次検索を行う。結果として連想メモリ・ワード８－３－０に格納されている２次記憶データのみが一致し、２次検索用連想メモリ５－０は対応する一致線３－３－０に有効状態“１”を出力し、他の一致線３－０－０、３－１－０、３－２－０には無効状態“０”を出力する。同様に、２次検索用連想メモリ５－１は、最適化中間データ１０－１～１０－８と完全に一致する２次記憶データを検索する２次検索を行う。結果として、すべての連想メモリ・ワード８－０－１～８－３－１に格納している２次記憶データが不一致となり、２次検索用連想メモリ５－１は、対応するすべての一致線３－０－１～３－３－１に無効状態“０”を出力する。

40

したがって、アドレス信号生成部１１には、連想メモリ１－０から一致線３－０－０～３－３－０として２進表記で“１０００”が入力され、連想メモリ１－１から一致線３－０－１～３－３－１として２進表記で“００００”が入力されることになる。論理和手段１４は、一致線３－０－０～３－３－０と一致線３－０－１～３－３－１の同一ビット位置同士に対して、一致線の有効状態を真とした論理和演算を行い、得られた２進表記の結果“１０００”を、４ビットの最適一致信号１５－０～１５－３としてエンコーダ２０に出

50

力する。エンコーダ 20 は、入力された最適一致信号 15-0 ~ 15-3 を 2 進数に符号化し、得られた 2 進表記の結果 “11” を、下位アドレス信号 21 としてアドレス信号生成部 11 の外部に出力する。

また、一致検出手段 16-0 は一致線 3-0-0 ~ 3-3-0 に有効状態の信号が含まれるので一致検出信号 17-0 として有効状態 “1” をエンコーダ 18 に出力し、一致検出手段 16-1 は一致線 3-0-1 ~ 3-3-1 に有効状態の信号が含まれないので一致検出信号 17-1 として無効状態 “0” をエンコーダ 18 に出力する。エンコーダ 18 は、入力された一致検出信号 17-0 ~ 17-1 の 2 進表記の値 “01” を 2 進数に符号化し、得られた 2 進表記の結果 “0” を上位アドレス信号 19 としてアドレス信号生成部 11 の外部に出力する。

アドレス信号生成部 11 から出力された 2 進表記で “0” の上位アドレス信号 19、2 進表記で “11” の下位アドレス信号 21 を、それぞれアドレス出力信号 12 の上位側、下位側として連結することにより、2 進表記で “011” のアドレス出力信号 12 が得られることになる。

したがって、図 1 に示す本発明の第 1 の実施の形態の連想メモリ・システム 200 では、構造化データをソート処理することなしにランダムな順番で 1 次連想メモリ・ワード 7-0-0 ~ 7-3-1 に格納しているにも関わらず、最適な 4 進表記の構造化データ (2. 1. 2. *) を格納している 1 次連想メモリ・ワード 7-3-0 に対応する値、2 進表記で “011” が、アドレス出力信号 12 として正しく得られることが分かる。

また、図 27 に示した従来の連想メモリを複数接続するときの第 2 の構成例と異なり、図 1 に示す本発明の第 1 の実施の形態の連想メモリ・システム 200 では、プライオリティ・エンコーダを有していないにもかかわらず、正しい値が得られることが分かる。

これらは、中間データ演算部 9 が、中間データ 6-1-0 ~ 6-8-0 と中間データ 6-1-1 ~ 6-8-1 の中で最も中間データの無効状態のビット数が少ないものを、8 ビットの最適化中間データ 10-1 ~ 10-8 として、各連想メモリ 1-0、1-1 に、2 次検索時の検索データとして出力するため、連想メモリ・システム 200 全体として最適な 2 次検索を実行することができるからである。したがって、最適な結果を格納していない連想メモリ 1-1 の一致線 3-0-1 ~ 3-3-1 はすべて無効状態となり、プライオリティ・エンコーダを有する必要がなくなる。さらに最適な結果を格納している連想メモリ 1-0 については 1 次検索により生成した中間データ 6-1-0 ~ 6-8-0 の値が 2 次検索の検索データとなるので、図 23 に示す従来の連想メモリ 300 と同様に構造化データをソート処理することなしにランダムな順番で 1 次連想メモリ・ワード 7-0-0 ~ 7-s-r に格納しても構わないことがわかる。

最適一致信号 15-0 ~ 15-s および一致検出信号 17-0 ~ 17-r、あるいは一致線 3-0-0 ~ 3-s-r などに記憶手段を適宜挿入してパイプラインを構成することにより、動作周波数を向上できることはいうまでもない。

また、中間データ (6-1-0 ~ 6-n-0) ~ (6-1-r ~ 6-n-r)、あるいは最適化中間データ 10-1 ~ 10-n などに記憶手段を適宜挿入しパイプラインを構成することにより動作周波数を向上できることはいうまでもない。

また、本例では連想メモリ 1-k は、1 次検索を 1 次検索用連想メモリ 4-k で実行し、2 次検索を 2 次検索用連想メモリ 5-k で実行する場合を例として説明したが、構成要素を共有することにより 1 個の連想メモリで 1 次検索と 2 次検索を実行する場合においても、まったく同様に連想メモリ・システム 200 を構成できることはいうまでもない。また、2 次検索用連想メモリ 5-1 ~ 5-r は、n ビット ($m \times p$) 語の 1 個の連想メモリにより構成してもよいことはいうまでもない。また、全体で n ビット ($m \times p$) 語を容量を持つ任意の個数の連想メモリによっても構成できることも明らかである。

〔第 2 の実施例の構成〕

次に、本発明の第 2 の実施の形態の連想メモリ・システムについて図面を参照して詳細に説明する。図 3 は、本発明の第 2 の実施の形態の n ビット ($m \times p$) 語の連想メモリ・システム 201 の構成例と動作例を示すブロック図である。

10

20

30

40

50

10

30

40

50

ー 1、および中間データ演算部 9 は図 1 の説明と同様に動作し、結果として一致線 3-0-0~3-3-1 の中で、一致線 3-3-0 のみが一致線の有効状態“1”をアドレス信号生成部 25 に出力し、残りの一致線 3-0-0~3-2-0、3-0-1~3-3-1 には一致線の無効状態“0”を出力することになる。したがってアドレス信号生成部 25 には、連想メモリ 1-0 から一致線 3-0-0~3-3-0 として 2 進表記で“1000”が入力され、連想メモリ 1-1 から一致線 3-0-1~3-3-1 として 2 進表記で“0000”が入力されることになる。

したがって、連想メモリ 1-0 に対応するプライオリティ機能を有しないエンコーダ 22-0 は一致アドレス信号 23-0 として 2 進表記で“11”を選択手段 24 に出力し、一致検出手段 16-0 は一致検出信号 17-0 に有効状態“1”を出力する。連想メモリ 1-1 に対応するプライオリティ機能を有しないエンコーダ 22-1 は一致アドレス信号 23-1 として 2 進表記で“00”を選択手段 24 に出力し、一致検出手段 16-1 は一致検出信号 17-1 に無効状態“0”を出力する。

図 27 のプライオリティ・エンコーダ 315 の場合と異なり、図 3 のエンコーダ 18 に入力されている一致検出信号 17-0~17-1 の中で有効状態“1”であるものは、一致検出信号 17-0 のみであるため、エンコーダ 18 は 2 進表記で“0”を、上位アドレス信号 19 として選択手段 24 に出力するとともに、アドレス信号生成部 25 の外部にも出力する。

選択手段 24 は、エンコーダ 18 から入力された上位アドレス信号 19 が 2 進表記で“0”であるため、対応する 2 進表記で“11”の一致アドレス信号 23-0 を選択し、下位アドレス信号 21 としてアドレス信号生成部 25 の外部に出力する。

アドレス信号生成部 25 から出力された 2 進表記で“0”の上位アドレス信号 19、2 進表記で“11”の下位アドレス信号 21 を、それぞれアドレス出力信号 12 の上位側、下位側として連結することにより、2 進表記で“011”のアドレス出力信号 12 が得られる。したがって、図 27 に示した従来の連想メモリを複数接続するときの第 2 の構成例と異なり図 3 に示す本発明の第 2 の実施の形態の連想メモリ・システム 201 ではプライオリティ・エンコーダを有していないにもかかわらず、図 2 の第 1 の実施の形態の連想メモリ・システム 200 の動作例と同様に、検索データ 2 に対する正しい検索結果が得られることが分かる。

これは、第 1 の実施の形態の連想メモリ・システム 200 と同様に、中間データ演算部 9 が、中間データ 6-1-0~6-8-0 と中間データ 6-1-1~6-8-1 の中で最も中間データの無効状態のビット数が少ないものを、8 ビットの最適化中間データ 10-1~10-8 として、各連想メモリ 1-0、1-1 に、2 次検索時の検索データとして出力するため、連想メモリ・システム 201 全体として最適な 2 次検索を実行することができるからである。したがって、最適な結果を格納していない連想メモリ 1-1 の一致線 3-0-1~3-3-1 はすべて無効状態となり、プライオリティ・エンコーダを有する必要がなくなる。

本例のアドレス信号生成部 25 は、図 1 に示したアドレス信号生成部 11 よりも構成が複雑であるが、各連想メモリ 1-k (k は 0 以上 r 以下の整数) ごとに、対応するエンコーダ 22-k、一致検出手段 16-k を、物理的に近い位置に配置することにより、長い配線の本数を削減することが可能となる。各連想メモリ 1-0~1-r の面積は一般に非常に大きいので、各連想メモリ間を結線する一致線 3-0-0~3-s-r の配線は非常に長くなる。そのため、本例のアドレス信号生成部 25 は、図 1 に示したアドレス信号生成部 11 に比べて、信号遅延時間、配線容量による消費電力などを削減できる。また、配線領域の減少により、さらに面積が削減可能である。

もちろん、図 27 に示したプライオリティ・エンコーダ 315 を有するアドレス信号生成部 319 を、本例のアドレス信号生成部 25 の代わりに用いても正しい結果が得られることは明らかである。。また、この場合においても、構造化データを 1 次連想メモリ・ワード 7-0-0~7-3-1 に格納する際にソート処理が不要であることは言うまでもない。

10

20

30

40

一致アドレス信号 $23-0 \sim 23-r$ および一致検出信号 $17-0 \sim 17-r$ 、あるいは一致線 $3-0-0 \sim 3-s-r$ などに記憶手段を適宜挿入してパイプラインを構成することにより、動作周波数を向上できることはいうまでもない。

また、本例では連想メモリ $1-k$ は、1 次検索を 1 次検索用連想メモリ $4-k$ で実行し、2 次検索を 2 次検索用連想メモリ $5-k$ で実行する場合を例として説明したが、構成要素を共有することにより 1 個の連想メモリで 1 次検索と 2 次検索を実行する場合においても、まったく同様に連想メモリ・システム 201 を構成できることはいうまでもない。

〔中間データ演算部の第 2 の構成例〕

次に、本発明の連想メモリ・システムの中間データ演算部の第 2 の構成例について説明する。図 4 は、本発明の連想メモリ・システムの中間データ演算部の第 2 の構成例を示すブロック図である。中間データ演算部 26 は、図 1 に示す中間データ演算部 9 と同様に、図示しない p 個の連想メモリから入力される p 個の n ビットの中間データ $(6-1-0 \sim 6-n-0) \sim (6-1-r \sim 6-n-r)$ の中で、最も中間データの無効状態のビット数が少ないものを n ビットの最適化中間データ $10-1 \sim 10-n$ として出力する。図 4 に示す第 2 の構成例の中間データ演算部 26 は、入力された p 個の n ビットの中間データ $(6-1-0 \sim 6-n-0) \sim (6-1-r \sim 6-n-r)$ を、それぞれ 2 進数の数値と見なして比較したときに最大値となるものを n ビットの最適化中間データ $10-1 \sim 10-n$ として出力する、最大値選択手段 27 により構成される。これは図 24 に示すように、ネットワーク・アドレスが階層構造を持つため、最も中間データの無効状態のビット数が少ないものが 2 進数の数値と見なしたときに最大値となるからである。

次に図 5 を参照して、本発明の第 2 の構成例の中間データ演算部 26 の動作を、図 1 と同様に、図示しない 2 個の 8 ビット構成の連想メモリ 2 個から、4 進表記で $(2, 1, 2, 0)$ の中間データ $6-1-0 \sim 6-8-0$ 、4 進表記で $(2, 1, 0, 0)$ の中間データ $6-1-1 \sim 6-8-1$ が、それぞれ中間データ演算部 26 に入力されている場合を例として説明する。また、図 1 と同様に、本例では以降、中間データ 6 の有効状態を“1”、無効状態を“0”とする。

中間データ $6-1-0 \sim 6-8-0$ の値は、2 進表記で“10011000”、10 進表記で“152”となる。中間データ $6-1-1 \sim 6-8-1$ の値は、2 進表記で“10010000”、10 進表記で“144”となる。したがって、最大値選択手段 27 は、中間データ $6-1-0 \sim 6-8-0$ と中間データ $6-1-1 \sim 6-8-1$ を比較した結果最大値となる中間データ $6-1-0 \sim 6-8-0$ を選択し、最適化中間データ $10-1 \sim 10-8$ として、中間データ演算部 26 の外部に出力する。したがって、最適化中間データ $10-1 \sim 10-8$ として正しい値が得られることが分かる。

ここで、中間データ 6 の有効状態が“0”、無効状態が“1”の場合には、入力された p 個の n ビットの中間データ $(6-1-0 \sim 6-n-0) \sim (6-1-r \sim 6-n-r)$ を、それぞれ 2 進数の数値と見なして比較したときに最小値となるものを n ビットの最適化中間データ $10-1 \sim 10-n$ として出力する、最小値選択手段により構成すればよいことは言うまでもない。

また、中間データ $(6-1-0 \sim 6-n-0) \sim (6-1-r \sim 6-n-r)$ 、あるいは最適化中間データ $10-1 \sim 10-n$ などに記憶手段を適宜挿入しパイプラインを構成することにより動作周波数を向上できることはいうまでもない。

〔中間データ演算部の第 3 の構成例〕

次に、本発明の連想メモリ・システムの中間データ演算部の第 3 の構成例について説明する。図 6 は、本発明の連想メモリ・システムの中間データ演算部の第 3 の構成例を示すブロック図である。中間データ演算部 28 は、図 1 に示す中間データ演算部 9 と同様に、図示しない p 個の連想メモリから入力される p 個の n ビットの中間データ $(6-1-0 \sim 6-n-0) \sim (6-1-r \sim 6-n-r)$ の中で、最も中間データの無効状態のビット数が少ないものを n ビットの最適化中間データ $10-1 \sim 10-n$ として出力する。図 6 に示す第 3 の構成例の中間データ演算部 28 は、無効状態ビット数計数手段 $29-0 \sim 29-r$ と、比較手段 $33-0 \sim 33-r$ と、最小値選択手段 31 と、選択手段 35 とを有し

10

20

30

40

50

ている。

k 番目の無効状態ビット数計数手段 29-k は、対応する n ビットの間接データ 6-1-k ~ 6-n-k を入力とし、ネットワーク・アドレスの最下位階層側から上位階層側に連続している中間データの無効状態のビット数を、最初の間接データの有効状態のビットが現れるまで計数する。無効状態ビット数計数手段 29-k は、計数結果を無効状態ビット数信号 30-k として最小値選択手段 31 および比較手段 33-k に出力する。

最小値選択手段 31 は、無効状態ビット数計数手段 29-0 ~ 29-r からそれぞれ入力される無効状態ビット数信号 30-0 ~ 30-r を比較し、その中の最小値を最小値信号 32 として比較手段 33-0 ~ 33-r に出力する。

k 番目の比較手段 33-k は、対応する無効状態ビット数信号 30-k と、最小値信号 32 とを比較し、一致する場合には選択許可信号 34-k に有効状態を、それ以外の場合には無効状態を出力する。したがって、無効状態ビット数信号 30-0 ~ 30-r の中で k 番目の無効状態ビット数信号 30-k が最小の場合のみ、選択許可信号 34-k は有効状態となる。

選択手段 35 は、選択許可信号 34-0 ~ 34-r の中で有効状態である選択許可信号 34-k に対応する中間データ 6-1-k ~ 6-n-k を、最適化中間データ 10-1 ~ 10-n として中間データ演算部 28 の外部に出力する。つまり、ネットワーク・アドレスの最下位階層側から上位階層側に連続している中間データの無効状態のビット数を、最初の間接データの有効状態のビットが現れるまで計数した場合に最小となるような中間データ 6-1-k ~ 6-n-k が、最適化中間データ 10-1 ~ 10-n として出力されることになる。

次に図 7 を参照して、本発明の第 3 の構成例の中間データ演算部 28 の動作を、図 1 と同様に、図示しない 2 個の 8 ビット構成の連想メモリ 2 個から、4 進表記で (2, 1, 2, 0) の中間データ 6-1-0 ~ 6-8-0、4 進表記で (2, 1, 0, 0) の中間データ 6-1-1 ~ 6-8-1 が、それぞれ中間データ演算部 28 に入力されている場合を例として説明する。また、図 1 と同様に、本例では以降、中間データ 6 の有効状態を“1”、無効状態を“0”とする。また、図 24 に示すように、ネットワーク・アドレスの最上位階層は左側、最下位階層は右側とする。

無効状態ビット数計数手段 29-0 は、中間データ 6-1-0 ~ 6-8-0 の 2 進表記の値“10011000”の中で、最初の有効状態“1”が現れるまで、右側のビットから無効状態“0”を計数し、結果として得られる 10 進表記で“3”の値を無効状態ビット数信号 30-0 として出力する。無効状態ビット数計数手段 29-1 は、中間データ 6-1-1 ~ 6-8-1 の 2 進表記の値“10010000”の中で、最初の有効状態“1”が現れるまで、右側のビットから無効状態“0”を計数し、結果として得られる 10 進表記で“4”の値を無効状態ビット数信号 30-1 として出力する。

最小値選択手段 31 は、無効状態ビット数計数手段 29-0 ~ 29-1 からそれぞれ入力される無効状態ビット数信号 30-0、30-1 を比較し、その中の最小値である 10 進表記の値“3”を最小値信号 32 として比較手段 33-0 ~ 33-1 に出力する。

比較手段 33-0 は、対応する無効状態ビット数信号 30-0 の 10 進表記の値“3”と、最小値信号 32 の 10 進表記の値“3”とを比較し、一致するので選択許可信号 34-0 に有効状態を出力する。比較手段 33-1 は、対応する無効状態ビット数信号 30-1 の 10 進表記の値“4”と、最小値信号 32 の 10 進表記の値“3”とを比較し、一致しないので選択許可信号 34-1 に無効状態を出力する。選択手段 35 は、入力された選択許可信号 34-0、34-1 の中で有効状態である選択許可信号 34-0 に対応する中間データ 6-1-0 ~ 6-8-0 の 4 進表記の値 (2, 1, 2, 0) を、最適化中間データ 10-1 ~ 10-8 として中間データ演算部 28 の外部に出力する。したがって、最適化中間データ 10-1 ~ 10-8 として正しい値が得られることが分かる。これは、各連想メモリ 1-0 ~ 1-r において、構造化データのドント・ケア“*”状態のビットは、記憶データの該当ビットを記憶データの無効状態とし、マスク情報の該当ビットをマスク・データの有効状態とすることにより表現しているため、ネットワーク・アドレスの最下位

10

20

30

40

50

階層側から上位階層側に連続している中間データの無効状態のビット数を、最初の中間データの有効状態のビットが現れるまで計数した場合に最小となるような中間データ $6-1-k \sim 6-n-k$ が、最適化中間データ $10-1 \sim 10-n$ となるからである。

また、中間データ $(6-1-0 \sim 6-n-0) \sim (6-1-r \sim 6-n-r)$ 、あるいは最適化中間データ $10-1 \sim 10-n$ などに記憶手段を適宜挿入しパイプラインを構成することにより動作周波数を向上できることはいうまでもない。

また、本例の無効状態ビット数計数手段 $29-k$ は、回路規模を削減するために、中間データ $6-1-k \sim 6-n-k$ におけるネットワーク・アドレスの最下位階層側から上位階層側に連続している中間データの無効状態のビット数を、最初の中間データの有効状態のビットが現れるまで計数しているが、単純に中間データ $6-1-k \sim 6-n-k$ の全ビットにおける無効状態の数を計数してもよいことは明らかである。

10

〔第3の実施例の構成〕

次に、本発明の第3の実施の形態の連想メモリ・システムについて図面を参照して詳細に説明する。図8は、本発明の第3の実施の形態の n ビット ($m \times p$) 語の連想メモリ・システム203の構成例を示すブロック図である。

連想メモリ・システム203は、 p 個の m 語 n ビットの連想メモリ $202-0 \sim 202-r$ と、 n 個の抵抗 $38-1 \sim 38-n$ と、アドレス信号生成部11とから構成され、 n ビットの検索データ2を入力とし、アドレス出力信号12を出力とする。図1に示す本発明の第1の実施の形態の連想メモリ・システム200と比較すればわかるとおり、図8に示す本発明の第3の実施の形態の連想メモリ・システム203は、アドレス信号生成部12は第1の実施の形態の連想メモリ・システム200と同様に構成され、連想メモリ $202-0 \sim 202-r$ の内部構造、および中間データ演算部9の代わりに抵抗 $38-1 \sim 38-n$ を有する点のみが異なる。したがって、異なる部分のみの説明を行う。

20

連想メモリ $202-k$ は (k は 0 以上 r 以下の整数)、1次検索用連想メモリ $4-k$ と、2次検索用連想メモリ $5-k$ と、出力手段 $36-1-k \sim 36-n-k$ と、入力手段 $37-1-k \sim 37-n-k$ とにより構成される。図1に示す連想メモリ $1-k$ と比較すればわかるとおり、図8に示す連想メモリ $202-k$ は、1次検索用連想メモリ $4-k$ と、2次検索用連想メモリ $5-k$ は、図1に示す連想メモリ $1-k$ と同様に構成される。1次検索用連想メモリ $4-k$ から出力される中間データ $6-1-k \sim 6-n-k$ に出力手段 $36-1-k \sim 36-n-k$ が接続されている点と、2次検索用連想メモリ $5-k$ に入力される最適化中間データ $37-1-k \sim 37-n-k$ を入力手段 $37-1-k \sim 37-n-k$ が生成している点と、および出力手段 $36-1-k \sim 36-n-k$ の出力信号である結線論理和信号 $39-1 \sim 39-n$ が連想メモリ $202-k$ の外部に出力されるとともに入力手段 $37-1-k \sim 37-n-k$ にそれぞれ入力されている点のみが、図1に示す連想メモリ $1-k$ と異なる。したがって、異なる部分についてのみ説明を行う。

30

j 番目 (j は 1 以上 n 以下の整数) の出力手段 $36-j-k$ は、中間データの無効状態の電位と結線論理和信号 $39-j$ の間に挿入され、中間データ $36-j-k$ が有効状態の時に導通状態となり、中間データ $36-j-k$ が無効状態の場合には開放状態となる。したがって出力手段 $36-j-k$ は、中間データ $36-j-k$ が有効状態の時に結線論理和信号 $39-j$ に中間データの無効状態を出力し、中間データ $36-j-k$ が無効状態の場合には結線論理和信号 $39-j$ を開放状態にする。

40

また j 番目の入力手段 $37-j-k$ は、入力された結線論理和信号 $39-j$ の状態を反転して最適化中間データ $40-j-k$ として2次検索用連想メモリ $5-k$ に出力する。

各連想メモリ $202-0 \sim 202-r$ が出力する結線論理和信号 $39-1 \sim 39-n$ は対応するビット同士が相互に接続されるとともに、対応する抵抗 $38-1 \sim 38-n$ を介して中間データの有効状態の電位に接続されている。

これにより、1つの1次連想メモリ $4-k$ でも j ビット目の中間データ $6-j-k$ に有効状態を出力していると、すべての2次連想メモリ $5-0 \sim 5-r$ に入力される j ビット目の最適化中間データ線 $40-j-0 \sim 40-j-r$ は中間データの有効状態となるようなワイアードOR接続を構成していることになり、図1に示す中間データ演算部9の論理和

50

手段 13 と、論理的に等価となる。したがって、連想メモリ・システム 203 全体として、図 1 に示した連想メモリ・システム 200 と論理的に等価であることがわかる。

本例の連想メモリ・システム 203 では、ワイアード OR 接続により、図 1 の中間データ演算部と等価な構成を実現しているため、一致線 $(3-0-0 \sim 3-s-0) \sim (3-0-r \sim 3-s-r)$ を除くと、連想メモリ・システム 203 は結線論理和信号 $39-1 \sim 39-n$ の n 本の配線しか有していない。また、連想メモリ 202-k は、検索データおよび一致線 $3-0-k \sim 3-s-k$ を除くと、必要な端子は結線論理和信号 $39-1 \sim 39-n$ を入出力するための n 個の端子のみである。例えば 4 個の 64 ビットの連想メモリ $1-0 \sim 1-3$ で図 8 の連想メモリ・システム 203 を構成したい場合、連想メモリ間の前記の配線は 64 本となり、連想メモリ 202-k に必要な前記の端子は 64 個となる。図 1 に示した連想メモリ・システム 200 では、 p 個の連想メモリ $1-0 \sim 1-r$ がそれぞれ n ビットの中間データ $(6-1-0 \sim 6-n-0) \sim (6-1-r \sim 6-n-r)$ を中間データ演算部 9 に出力する $n \times p$ 本の配線と、中間データ演算部 9 が連想メモリ $1-0 \sim 1-r$ に出力する最適化中間データ $10-1 \sim 10-n$ の n 本の配線を有する。したがって、連想メモリ・システム 200 は、一致線 $(3-0-0 \sim 3-s-0) \sim (3-0-r \sim 3-s-r)$ を除いて、連想メモリ $1-0 \sim 1-r$ 間に $n \times (p+1)$ 本の配線を有することになる。また、各連想メモリ $1-k$ は検索データおよび一致線 $3-0-k \sim 3-s-k$ を除くと、 n ビットの中間データ $6-1-k \sim 6-n-k$ を出力するための n 個の端子と、 n ビットの最適化中間データ $10-1 \sim 10-n$ を入力するための n 個の端子の、合計 $2n$ 個の端子が必要である。例えば 4 個の 64 ビットの連想メモリ $1-0 \sim 1-3$ で図 1 の連想メモリ・システム 200 を構成したい場合、連想メモリ間の前記の配線は 320 本となり、連想メモリ $1-k$ に必要な前記の端子は 128 個となる。

したがって、図 8 に示す第 3 の実施の形態の連想メモリ・システム 203 は、図 1 に示した連想メモリ・システム 200 よりも、大幅に長い配線の本数を削減することが可能となるとともに、各連想メモリ 202 に必要な端子の数を大幅に削減することができる。各連想メモリ 202 の面積は一般に非常に大きいので、各連想メモリ間の配線は非常に長くなる。そのため、本例の連想メモリ・システム 203 は、図 1 に示した連想メモリ・システム 200 に比べて、信号遅延時間、配線容量による消費電力などを削減可能である。また、配線領域の減少により、さらに面積を削減することができる。また、各連想メモリの端子数が大幅に削減されるため面積をさらに削減することが可能である。

本例では連想メモリ 202-k は、1 次検索を 1 次検索用連想メモリ 4-k で実行し、2 次検索を 2 次検索用連想メモリ 5-k で実行する場合を例として説明したが、構成要素を共有することにより 1 個の連想メモリで 1 次検索と 2 次検索を実行する場合においても、まったく同様に連想メモリ・システム 203 を構成できることはいうまでもない。

また、結線論理和信号 $39-1 \sim 39-n$ を、抵抗 $38-1 \sim 38-n$ を介して中間データの有効状態に接続する代わりに、1 次検索の開始前に中間データの有効状態にプリ・チャージすることによっても構成できることはいうまでもない。

〔第 4 の実施例の構成〕

次に、本発明の第 4 の実施の形態の連想メモリ・システムについて図面を参照して詳細に説明する。図 9 は、本発明の第 4 の実施の形態の n ビット ($m \times p$) 語の連想メモリ・システム 205 の構成例を示すブロック図である。

連想メモリ・システム 205 は、 p 個の m 語 n ビットの連想メモリ $204-0 \sim 204-r$ と、 p 個の論理積手段 $46-0 \sim 46-r$ と、中間データ判定部 41 と、アドレス信号生成部 11 とから構成され、 n ビットの検索データ 2 を入力とし、アドレス出力信号 12 を出力とする。

k 番目の連想メモリ $204-k$ は、図 27 に示す従来の連想メモリ $300-k$ と比較すればわかるとおり、中間データ $6-1-k \sim 6-n-k$ を 2 次検索用連想メモリ $5-k$ に入力するとともに連想メモリ $204-k$ 外部に出力することを除けば、図 27 に示す従来の連想メモリ $300-k$ と同様に構成することができる。

アドレス信号生成部 11 は、入力が一致線 $3-0-0 \sim 3-s-r$ でなく、実効一致線 4

10

20

30

40

50

7-0-0~47-s-rに代わった点を除けば、図1のアドレス信号生成部11と全く同様に構成することができる。もちろん、図3に示したアドレス信号生成部25を用いても構成できることは言うまでもない。

中間データ判定部41は、p個の連想メモリ204-0~204-rから入力されるp個のnビットの中間データ(6-1-0~6-n-0)~(6-1-r~6-n-r)の中で、最も中間データの無効状態のビット数が少ないものに対応する有効検出信号45-0~45-rに有効状態を出力する。中間データ判定部41は、中間データ演算部42と、p個の比較手段44-0~44-rとから構成される。中間データ演算部41は、p個の連想メモリ204-0~204-rから入力されるp個のnビットの中間データ(6-1-0~6-n-0)~(6-1-r~6-n-r)の中で、最も中間データの無効状態のビット数が少ないものをnビットの最適化中間データ43-1~43-nとして比較手段44-0~44-rに出力する。したがって、中間データ演算部42は、図1に示す中間データ演算部9と全く同様に構成することができる。もちろん、図4に示す第2の構成例の中間データ演算部26、図6に示す第3の構成例の中間データ演算部28を用いても構成できることは言うまでもない。

k番目の比較手段44-kは、対応する中間データ6-1-k~6-n-kと、最適化中間データ43-1~43-nとを比較し、一致する場合には有効検出信号45-kに有効状態を、それ以外の場合には無効状態を出力する。したがって、p個のnビットの中間データ(6-1-0~6-n-0)~(6-1-r~6-n-r)の中で、k番目の中間データ6-1-k~6-n-kが最も中間データの無効状態のビット数が少ない場合のみ、有効検出信号45-kは有効状態となる。

k番目の連想メモリ204-kに対応する論理積手段46-kは、対応する有効検出信号45-kが有効状態の場合には、連想メモリ204-kから入力される一致線3-0-k~3-s-kを実効一致線47-0-k~47-s-kとしてアドレス信号生成部11に出力し、有効検出信号45-kが無効状態の場合には、m本の実効一致線47-0-k~47-s-kすべてに一致線の無効状態を出力する。

〔第4の実施例の動作〕

次に図10を参照して、本発明の第4の実施の形態の連想メモリの・システムの動作を、図1、および図26と同様に4語8ビット構成の連想メモリ204-0、204-1の2個を接続し、かつ、構造化データをソート処理することなしにランダムな順番で1次連想メモリ・ワード7-0-0~7-3-1に格納した場合の動作を例にして説明する。ここで、図1、および図26と同様に全体で8語のアドレス空間の中で連想メモリ204-1が上位側のアドレス空間を占めることとする。

図1、および図26と同様に、本例では以降、マスク情報の有効状態を“0”、無効状態を“1”とし、記憶データの有効状態を“1”、無効状態を“0”として説明する。また、記憶データと同様に、中間データ6の有効状態を“1”、無効状態を“0”とする。一致線3の有効状態を“1”、無効状態を“0”として説明する。

1次検索用連想メモリ4-0、4-1が有する1次連想メモリ・ワード7-0-0~7-3-1には、図1、および図26の説明と同様に、4進表記の構造化データとしてそれぞれ(1.*.*.*)、(2.*.*.*)、(1.2.2.*)、(2.1.2.*)、(3.1.*.*)、(1.2.*.*)、(2.1.*.*)、(3.*.*.*)を表現するように、記憶データ、マスク情報を、ソート処理することなしに格納しているものとする。また、2次検索用連想メモリ5-0、5-1が有する連想メモリ・ワード8-0-0~8-3-1には、図1、図26の説明と同様に、1次検索用連想メモリ4-0、4-1の対応する1次連想メモリ・ワード7-0-0~7-3-1が格納している記憶データと同じ4進表記の値、(1.0.0.0)、(2.0.0.0)、(1.2.2.0)、(2.1.2.0)、(3.1.0.0)、(1.2.0.0)、(2.1.0.0)、(3.0.0.0)を2次記憶データとして格納しているものとする。

ここで図26の説明と同様に、検索データ2として図24に示すPC401-2の4進表記のネットワーク・アドレス(2.1.2.3)を入力した場合、連想メモリ204-0

10

20

30

40

50

、204-1は図26の従来の連想メモリ300-0、300-1と同様に動作する。連想メモリ204-0の1次検索用連想メモリ4-0では検索データ2を入力とする1次検索の結果1次連想メモリ・ワード7-1-0、7-3-0が一致し中間データ6-1-0～6-8-0として4進表記で(2. 1. 2. 0)、2進表記で“10011000”を2次検索用連想メモリ5-0と中間データ判定部41に出力する。2次検索用連想メモリ5-0では中間データ6-1-0～6-8-0を入力とする2次検索の結果連想メモリ・ワード8-3-0が一致し一致線3-0-0～3-3-0に2進表記で“1000”を出力することになる。連想メモリ204-1の1次検索用連想メモリ4-0では検索データ2を入力とする1次検索の結果1次連想メモリ・ワード7-2-1が一致し中間データ6-1-1～6-8-1として4進表記で(2. 1. 0. 0)、2進表記で“10010000”を2次検索用連想メモリ5-1と中間データ判定部41に出力する。2次検索用連想メモリ5-1では中間データ6-1-1～6-8-1を入力とする2次検索の結果連想メモリ・ワード8-2-1が一致し一致線3-0-1～3-3-1に2進表記で“0100”を出力することになる。

中間データ判定部41の中間データ演算部42は、中間データ6-1-0～6-8-0の2進表記の値“10011000”と、中間データ6-1-1～6-8-1の2進表記の値“10010000”の中で、最も中間データの無効状態のビット数が少ない2進表記の値“10011000”、4進表記で(2. 1. 2. 0)を最適化中間データ43-1～43-8として出力する。

比較手段44-0は、対応する中間データ6-1-0～6-8-0の2進表記の値“10011000”と、最適化中間データ43-1～43-8の値を比較し、一致するので有効検出信号45-0に有効状態を出力する。比較手段44-1は、対応する中間データ6-1-1～6-8-1の2進表記の値“10010000”と、最適化中間データ43-1～43-8の値を比較し、一致しないので有効検出信号45-1に無効状態を出力する。

論理積手段46-0は、対応する有効検出信号45-0が有効状態であるので、連想メモリ204-0から出力される一致線3-0-0～3-3-0の2進表記の値“1000”を実効一致線47-0-0～47-3-0に出力する。論理積手段46-1は、対応する有効検出信号45-1が無効状態であるので、実効一致線47-0-1～47-3-1すべてに一致線の無効状態を出力する。したがって、実効一致線47-0-1～47-3-1は2進表記で“0000”となる。したがって、アドレス信号生成部11に入力される信号の中で有効状態である信号は図2の説明と同様に実効一致線47-3-0の一本のみとなり、アドレス信号生成部11はアドレス出力信号12に図2と同様に正しい2進数の値“011”を出力できることがわかる。

本実施例では、k番目の連想メモリ204-kは1次検索用連想メモリ4-kで生成した中間データ6-1-k～6-8-kを2次検索用連想メモリ5-kの入力として2次検索を行った結果得られる一致線3-0-k～3-s-kに対して、中間データ6-1-k～6-8-kがp個の中間データ(6-1-0～6-8-0)～(6-1-r～6-8-r)の中で最適でない場合には、一致線3-0-k～3-s-kをすべて無効状態に変更した後にアドレス信号生成部11に入力することにより、連想メモリ・システム205全体としての最適なアドレス出力信号12を得る構成となっている。それに対して、本発明の第1の連想メモリ・システム200では中間データ演算部9によりp個の中間データ(6-1-0～6-8-0)～(6-1-r～6-8-r)の中からから連想メモリ・システム200全体として最適なデータとして選択された最適化中間データ10-1～10-8を入力とする2次検索を2次検索用連想メモリ5-0～5-rで行うことにより連想メモリ・システム全体としての最適なアドレス信号出力12を得る構成となっている。したがって、本発明の第1の実施の形態の連想メモリ・システム200では中間データ演算部9の結果が得られるまでは2次検索用連想メモリ5-0～5-rは2次検索を開始ができなかったが、本実施例では、中間データ判定部41の動作と、2次検索用連想メモリ5-0～5-rによる2次検索を並列実行することができるため、連想メモリ・システム205

10

20

30

40

50

全体の演算速度を大幅に向上させることが可能である。

また、 n ビットの最適化中間データを p 個の連想メモリ $204-0 \sim 204-r$ に入力する必要がなくなるため、連想メモリ・システム 205 全体として長い配線を $n \times p$ 本削減することができるとともに、連想メモリ 204 の端子を n 個削減することができる。そのため、本例の連想メモリ・システム 205 は、図 1 に示した連想メモリ・システム 200 に比べて、信号遅延時間、配線容量による消費電力などを削減できる。また、配線領域の減少により、さらに面積を削減可能である。また、各連想メモリの端子数が大幅に削減されるため面積をさらに削減することができる。

また、本例では連想メモリ $204-k$ は、1 次検索を 1 次検索用連想メモリ $4-k$ で実行し、2 次検索を 2 次検索用連想メモリ $5-k$ で実行する場合を例として説明したが、構成要素を共有することにより 1 個の連想メモリで 1 次検索と 2 次検索を実行する場合においても、まったく同様に連想メモリ・システム 205 を構成できることはいうまでもない。

〔中間データ判定部の第 2 の構成例と動作例〕

次に、本発明の連想メモリ・システムの中間データ判定部の第 2 の構成例について説明する。図 11 は、本発明の連想メモリ・システム 206 の中間データ判定部 48 の第 2 の構成例と連想メモリ・システム 206 内部での動作例を示すブロック図である。

連想メモリ・システム 206 は、 p 個の m 語 n ビットの連想メモリ $204-0 \sim 204-r$ と、中間データ判定部 48 と、アドレス信号生成部 11 とから構成され、 n ビットの検索データ 2 を入力とし、アドレス出力信号 12 を出力とする。図 9 に示す連想メモリ・システム 205 と比較すると、中間データ判定部 41 が、第 2 の実施の形態の中間データ判定部 48 に置き換わっている点のみが異なり、他は全く同様に構成することができる。図 11 に示す連想メモリ・システム 206 は、図 10 に示した第 4 の実施の形態の動作例の説明と同様に、4 語 8 ビット構成の連想メモリ $204-0$ 、 $204-1$ を 2 個を接続し、かつ、1 次連想メモリ・ワード $7-0-0 \sim 7-3-1$ 、連想メモリ・ワード $8-0-0 \sim 8-3-1$ に図 10 と同様なデータを格納した場合の動作を例にして説明する。また、全体で 8 語のアドレス空間の中で連想メモリ $204-1$ が上位側のアドレス空間を占めることとする。もちろん、任意のビット長、ワード数の n ビット m 語の連想メモリ 204 を、任意個数接続した場合にも同様に構成できることはいうまでもない。

中間データ判定部 48 は、図 9 に示す中間データ判定部 41 と同様に、 p 個の連想メモリから入力される p 個の n ビットの中間データ $(6-1-0 \sim 6-n-0) \sim (6-1-r \sim 6-n-r)$ の中で、最も中間データの無効状態のビット数が少ないものに対応する有効検出信号 $45-0 \sim 45-r$ に有効状態を出力する。中間データ判定部 48 は、無効状態ビット数計数手段 $49-0 \sim 49-r$ と、比較手段 $53-0 \sim 53-r$ と、最小値選択手段 51 とを有している。

k 番目の無効状態ビット数計数手段 $49-k$ は、対応する n ビットの中間データ $6-1-k \sim 6-n-k$ を入力とし、ネットワーク・アドレスの最下位階層側から上位階層側に連続している中間データの無効状態のビット数を、最初の中間データの有効状態のビットが現れるまで計数する。無効状態ビット数計数手段 $49-k$ は、計数結果を無効状態ビット数信号 $50-k$ として最小値選択手段 51 および比較手段 $53-k$ に出力する。

最小値選択手段 51 は、無効状態ビット数計数手段 $49-0 \sim 49-r$ からそれぞれ入力される無効状態ビット数信号 $50-0 \sim 50-r$ を比較し、その中の最小値を最小値信号 52 として比較手段 $53-0 \sim 53-r$ に出力する。

k 番目の比較手段 $53-k$ は、対応する無効状態ビット数信号 $50-k$ と、最小値信号 52 とを比較し、一致する場合には有効検出信号 $45-k$ に有効状態を、それ以外の場合には無効状態を出力する。したがって、無効状態ビット数信号 $50-0 \sim 50-r$ の中で k 番目の無効状態ビット数信号 $50-k$ が最小のばあいのみ、有効検出信号 $45-k$ は有効状態となる。つまり、ネットワーク・アドレスの最下位階層側から上位階層側に連続している中間データの無効状態のビット数を、最初の中間データの有効状態のビットが現れるまで計数した場合に最小となるような中間データ $6-1-k \sim 6-n-k$ に対応する有効検出信号 $45-k$ のみに有効状態が出力されることになる。

次に図 11 を参照して、本発明の第 2 の構成例の中間データ判定部 48 の動作を説明する。本例では以降、中間データ 6 の有効状態を“1”、無効状態を“0”とする。また、図 24 に示すように、ネットワーク・アドレスの最上位階層は左側、最下位階層は右側とする。連想メモリ 204-0、204-1 は図 10 と同様に動作し、4 進表記で (2, 1, 2, 0) の中間データ 6-1-0~6-8-0、4 進表記で (2, 1, 0, 0) の中間データ 6-1-1~6-8-1 をそれぞれ中間データ判定部 48 に入力しているものとする。

無効状態ビット数計数手段 49-0 は、中間データ 6-1-0~6-8-0 の 2 進表記の値“10011000”の中で、最初の有効状態“1”が現れるまで、右側のビットから無効状態“0”を計数し、結果として得られる 10 進表記で“3”の値を無効状態ビット数信号 50-0 として出力する。無効状態ビット数計数手段 49-1 は、中間データ 6-1-1~6-8-1 の 2 進表記の値“10010000”の中で、最初の有効状態“1”が現れるまで、右側のビットから無効状態“0”を計数し、結果として得られる 10 進表記で“4”の値を無効状態ビット数信号 50-1 として出力する。

最小値選択手段 51 は、無効状態ビット数計数手段 49-0~49-1 からそれぞれ入力される無効状態ビット数信号 50-0、50-1 を比較し、その中の最小値である 10 進表記の値“3”を最小値信号 52 として比較手段 53-0~53-1 に出力する。

比較手段 53-0 は、対応する無効状態ビット数信号 50-0 の 10 進表記の値“3”と、最小値信号 52 の 10 進表記の値“3”とを比較し、一致するので有効検出信号 45-0 に有効状態を出力する。比較手段 53-1 は、対応する無効状態ビット数信号 50-1 の 10 進表記の値“4”と、最小値信号 52 の 10 進表記の値“3”とを比較し、一致しないので有効検出信号 45-1 に無効状態を出力する。したがって、有効検出信号 45-0~45-1 として正しい状態が得られることが分かる。これは、各連想メモリ 204-0~204-r において、構造化データのドント・ケア“*”状態のビットは、記憶データの該当ビットを記憶データの無効状態とし、マスク情報の該当ビットをマスク・データの有効状態とすることにより表現しているため、ネットワーク・アドレスの最下位階層側から上位階層側に連続している中間データの無効状態のビット数を、最初の中間データの有効状態のビットが現れるまで計数した場合に最小となるような中間データ 6-1-k~6-n-k を出力している連想メモリ 204-k のみが最適な検索を実行していることになるからである。

図 11 に示す連想メモリ・システム 206 において、連想メモリ 204-k に対応する無効状態ビット数計数手段 49-k を連想メモリ 204-k に内蔵した場合には、次のように、長い配線本数削減、連想メモリ 204 の端子数を削減することができる。

連想メモリ・システム 206 の構成要素同士を接続するための長い配線は一致線 (3-0-0~3-s-0)~(3-0-r~3-s-r) を除くと、p 組の無効状態ビット数信号 50-k のみであり、無効状態ビット数計数手段の出力がバイナリ・データに符号化されている場合、これらの配線本数は $p \times [1 + \log_2 n]$ となる ([] はガウス記号)。また、連想メモリ 204-k は、検索データおよび一致線 3-0-k~3-s-k を除くと、必要な端子は無効状態ビット数信号 50-k を出力するための端子のみである。例えば 4 個の 64 ビットの連想メモリ 1-0~1-3 で連想メモリ・システム 206 を構成したい場合、無効状態ビット数信号 50 のビット数は 10 進数で“0”から“64”を表現するため 7 本となり、連想メモリ間の前記の配線は合計 28 本となる。また、連想メモリ 204-k に必要な前記の端子は 7 個となる。

図 9 に示した連想メモリ・システム 205 では、p 個の連想メモリ 204-0~204-r がそれぞれ n ビットの中間データ (6-1-0~6-n-0)~(6-1-r~6-n-r) を中間データ判定部 41 に出力する $n \times p$ 本の配線を有する。したがって、連想メモリ・システム 205 は、一致線 (3-0-0~3-s-0)~(3-0-r~3-s-r) を除いて、連想メモリ 204-0~204-r 間に $n \times p$ 本の配線を有することになる。また、各連想メモリ 204-k は検索データおよび一致線 3-0-k~3-s-k を除くと、n ビットの中間データ 6-1-k~6-n-k を出力するための n 個の端子が必

10

20

30

40

50

要である。例えば4個の64ビットの連想メモリ204-0~204-3で図9の連想メモリ・システム205を構成したい場合、連想メモリ間の前記の配線は256本となり、連想メモリ204-kに必要な前記の端子は64個となる。

したがって、図11に示す連想メモリ・システム206において、連想メモリ204-kに対応する無効状態ビット数計数手段49-kを連想メモリ204-kに内蔵した場合には、図9に示した連想メモリ・システム205よりも、大幅に長い配線の本数を削減することが可能となるとともに、各連想メモリ204に必要な端子の数を大幅に削減することが可能である。各連想メモリ204の面積は一般に非常に大きいので、各連想メモリ間の配線は非常に長くなる。そのため、本例の連想メモリ・システム206は、図9に示した連想メモリ・システム205に比べて、信号遅延時間、配線容量による消費電力などを削減することができる。また、配線領域の減少により、さらに面積を削減可能である。また、各連想メモリの端子数が大幅に削減されるため、面積をさらに削減することができる。本例では連想メモリ204-kは、1次検索を1次検索用連想メモリ4-kで実行し、2次検索を2次検索用連想メモリ5-kで実行する場合を例として説明したが、構成要素を共有することにより1個の連想メモリで1次検索と2次検索を実行する場合においても、まったく同様に連想メモリ・システム206を構成できることはいうまでもない。

また、本例の無効状態ビット数計数手段49-kは、回路規模を削減するために、中間データ6-1-k~6-n-kにおけるネットワーク・アドレスの最下位階層側から上位階層側に連続している中間データの無効状態のビット数を、最初の中間データの有効状態のビットが現れるまで計数しているが、単純に中間データ6-1-k~6-n-kの全ビットにおける無効状態の数を計数してもよいことは明らかである。

〔第5の実施例の構成〕

次に、本発明の第5の実施の形態の連想メモリ・システムについて図面を参照して詳細に説明する。図12は、本発明の第5の実施の形態のnビット(m×p)語の連想メモリ・システム208の構成例を示すブロック図である。

連想メモリ・システム208は、p個のm語nビットの連想メモリ207-0~207-rと、p個の論理積手段46-0~46-rと、中間データ判定部41と、アドレス信号生成部11と、p個の記憶回路54-0~54-rとから構成され、nビットの検索データ2とクロック信号55とを入力とし、アドレス出力信号12を出力とする。図9に示す本発明の第4の実施の形態の連想メモリ・システム205と比較すればわかるとおり、図12に示す本発明の第5の実施の形態の連想メモリ・システム208は、連想メモリ207-0~207-rにクロック信号55が入力されている点と、中間データ判定部41と各論理積手段46-0~46-rとの間にクロック信号55を入力とする記憶回路54-0~54-rがそれぞれ挿入されている点と、論理積手段46-0~46-rの入力信号が記憶回路54-0~54-rが出力する同期化有効検出信号56-0~56-rに変更されている点のみが異なる。したがって、異なる部分のみの説明を行う。

本発明の第5の実施の形態の連想メモリ・システム208では、連想メモリ207-k(kは0以上r以下の整数)の1次検索用連想メモリ4-kが中間データ6-1-k~6-n-kを出力してから、2次検索用連想メモリ5-kが一致線3-0-k~3-s-kを出力するまでにクロック信号55で α クロック(α は1以上の整数)の時間を要するものとする。したがって、記憶回路54-kによりクロック信号で α クロックの時間だけ有効検出信号45-kを遅延させた同期化有効検出信号56-kを生成し、論理積手段46-kに入力されるタイミングを一致線3-0-k~3-s-kと同期させている。ここで記憶回路54-kを挿入する位置は、図12に示した位置に限定されず、1次検索用連想メモリ207-kの中間データ6-1-k~6-n-kの出力端子から、論理積手段46-kの入力端子までの適宜挿入しても連想メモリ・システム208を構成することができることはいうまでもない。また、このとき、 α が2以上の整数の場合には記憶手段を複数箇所に分散して挿入してもよいことも言うまでもない。これによりパイプライン動作を構成することになるため動作周波数を向上させることができる。

また、論理積手段46-kに入力されるタイミングを一致線3-0-k~3-s-kと同

10

20

30

40

50

期させるために、記憶手段を挿入する代わりに遅延手段を挿入しても構わないことは言うまでもない。

図12では、図9と同様に中間データ判定部41、アドレス信号生成部11により連想メモリ・システム208を構成した例を示したが、図11に示した第2の構成例の中間データ判定部48、図3に示したアドレス信号生成部25などを用いても同様に構成できることはいうまでもない。

本例では連想メモリ207-kは、1次検索を1次検索用連想メモリ4-kで実行し、2次検索を2次検索用連想メモリ5-kで実行する場合を例として説明したが、構成要素を共有することにより1個の連想メモリで1次検索と2次検索を実行する場合においても、まったく同様に連想メモリ・システム208を構成できることはいうまでもない。

また、以上説明した第1乃至第5の本発明の連想メモリ・システムを構成する各1次検索用連想メモリの構成要素と、対応する各2次検索用連想メモリの構成要素の一部を兼用することにより面積を削減できることも明らかである。例えば、i番目の1次連想メモリ・ワードにおける記憶データを格納するための手段と、対応する2次検索用連想メモリの対応する連想メモリ・ワードにおける2次記憶データを格納するための手段には、同じ値が格納されるため、兼用することが可能である。

〔第6の実施例の構成〕

次に、本発明の第6の実施の形態の連想メモリ・システムについて図面を参照して詳細に説明する。第6の実施の形態は、複数の部分検索領域から構成される検索データに対して、マスク情報を考慮して検索を行ったときに、入力データに対応する記憶データがすべて一致するワードが複数個あった場合に、優先順位を考慮して検索領域ごとに構造化データを構成するマスク情報のマスク有効状態のビット数について、一致したワードの中で比較した結果、最少となるようなワードを識別する信号を出力する、例えば国際出願番号PCT/JPO1/03562に示される連想メモリを、複数個接続した場合の連想メモリ・システムの構成例である。

図13は、本発明の第6の実施の形態のnビット($m \times p$)語の連想メモリ・システム210の構成例を示すブロック図である。連想メモリ・システム210は、q個の部分検索領域から構成される検索データ70を入力とするp個のm語nビットの連想メモリ209-0~209-rと、p個の論理積手段46-0~46-rと、中間データ判定部71と、(q-1)個の2次中間データ判定部60-1~60-h(hは1以上t以下の整数)と、アドレス信号12を出力するアドレス信号生成部11と、から構成される。k番目の連想メモリ209-kは、1次検索用連想メモリ57-kと、検索データ70のq個の部分検索領域に対応する領域ごとに2次検索を実行するq個の部分2次検索用連想メモリ58-1-k~58-q-kとから構成される。

図13は、検索データ70が3個の部分検索領域から構成される場合を例とした連想メモリ・システム210のブロック図である。もちろん、検索データ70の部分検索領域の個数が任意の場合でも構成できることはいうまでもない。

1次検索用連想メモリ57-kは、検索データ70の全ての部分検索領域を検索対象とする各nビットの記憶データおよびマスク情報から構成される構造化データをm個格納できる1次連想メモリ・ワード7-0-k~7-s-kを有する。ここで、構造化データのドント・ケア“*”状態のビットは、記憶データの該当ビットを記憶データの無効状態とし、マスク情報の該当ビットをマスク・データの有効状態とすることにより表現される。また、1次検索用連想メモリ57-kは、対応するマスク情報を考慮して検索データ70の全ての部分検索領域と比較した結果一致する記憶データを検索する1次検索を1次連想メモリ・ワード7-0-k~7-s-kの中で行い、一致する記憶データ同士に対して記憶データの有効状態を真とした論理和演算を行い、得られた値の中で検索データの第1の優先順位を持つ部分検索領域に対応するビット領域のみを中間データ59-1-kとして、中間データ判定部71、および部分2次検索用連想メモリ58-1-kに出力する。つまり、検索データの第1の優先順位を持つ部分検索領域に対応するビット領域のみから中間データ59-1-kを生成すること以外は、図26に示す従来の1次検索用連想メモリ3

10

20

30

40

50

02と同様に構成することができる。

h番目(hは1以上、t以下の整数)の部分2次検索用連想メモリ58-h-kは、連想メモリ・ワード68-0-h-k~68-s-h-kを有し、i番目(iは0以上m以下の整数)の連想メモリ・ワード68-i-h-kには、対応する1次連想メモリ・ワード7-i-kが格納している記憶データと同じ値を第hの2次記憶データとして格納する。部分2次検索用連想メモリ58-h-kは、連想メモリ・ワード68-0-h-k~68-s-h-kが格納している第hの2次記憶データの中で、検索データの第h番目の優先順位を持つ部分検索領域に対応するビット領域のみを対象として、中間データ59-h-kと比較を行い、一致する第hの2次記憶データ同士に対して記憶データの有効状態を真とした論理和演算を行い、得られた値の中で検索データの第(h+1)の優先順位を持つ部分検索領域に対応するビット領域のみを中間データ59-(h+1)-kとして2次中間データ判定部60-h、および部分2次検索用連想メモリ58-(h+1)-kに出力する。つまり第hの2次記憶データの中で検索データの第h番目の優先順位を持つ部分検索領域に対応するビット領域のみを2次検索の対象とすることと、検索データの第(h+1)の優先順位を持つ部分検索領域に対応するビット領域のみから中間データ59-h-kを生成する機能が追加されていること以外は、図26に示す従来の2次検索用連想メモリ303と同様に構成することができる。i番目(iは0以上m以下の整数)の連想メモリ・ワード68-i-h-kには、対応する1次連想メモリ・ワード7-i-kが格納している記憶データの中で、検索データの第h番目と第(h+1)番目の優先順位を持つ部分検索領域に対応するビット領域と同じ値のみを第hの記憶データとして格納してもよいことはいうまでもない。

q番目の部分2次検索用連想メモリ58-q-kは、連想メモリ・ワード68-0-q-k~68-s-q-kを有し、i番目(iは0以上m以下の整数)の連想メモリ・ワード68-i-q-kには、対応する1次連想メモリ・ワード7-i-kが格納している記憶データと同じ値を第qの2次記憶データとして格納する。部分2次検索用連想メモリ58-q-kは、連想メモリ・ワード68-0-q-k~68-s-q-kが格納している第qの2次記憶データの中で、検索データの第q番目の優先順位を持つ部分検索領域に対応するビット領域のみを対象として、中間データ59-q-kと比較を行い、一致する第qの2次記憶データに対応する一致線3-0-k~3-s-kに一致線の有効順位を出力する。つまり第qの2次記憶データの中で検索データの第q番目の優先順位を持つ部分検索領域に対応するビット領域のみを2次検索の対象とすること以外は、図26に示す従来の2次検索用連想メモリ303と同様に構成することができる。i番目(iは0以上m以下の整数)の連想メモリ・ワード68-i-q-kには、対応する1次連想メモリ・ワード7-i-kが格納している記憶データの中で、検索データの第q番目の優先順位を持つ部分検索領域に対応するビット領域と同じ値のみを第qの2次記憶データとして格納してもよいことはいうまでもない。

中間データ判定部71は、図11の中間データ判定部48と比較すると、連想メモリ209-0~209-rから入力される信号が中間データ59-1-0~59-1-rに変更された他は、図11の中間データ判定部48と同様に構成することができる。図9の中間データ判定部41に対して前記の修正を施すことによっても構成できることはいうまでもない。また、その場合には図9の中間データ演算部42として、図1の中間データ演算部9、または図4の中間データ演算部26、または図6の中間データ演算部、またはその他論理的に等価な手段にて構成できることもいうまでもない。中間データ判定部71は、p個の連想メモリ204-0~204-rから入力されるp個の中間データ59-1-0~59-1-rの中で、最も中間データの無効状態のビット数が少ないものに対応する有効検出信号69-1-0~69-1-rに有効状態を出力する。

2次中間データ判定部60-h(hは1以上t以下の整数)は、図11の中間データ判定部48と比較すると、連想メモリ209-0~209-rから入力される信号が中間データ59-(h+1)-0~59-(h+1)-rに変更された点と、有効検出信号69-h-0~69-h-rが対応する無効状態ビット数計数手段61-h-0~61-h-r

と比較手段 $65-h-0 \sim 65-h-r$ にそれぞれ入力される点のみが異なる。

k 番目の無効状態ビット数計数手段 $61-h-k$ は、対応する有効検出信号 $69-h-k$ が有効状態の時には、図 11 の無効状態ビット数整数手段 49 と同様に、対応する中間データ $59-(h+1)-k$ の中でネットワーク・アドレスの最下位階層側から上位階層側に連続している中間データの無効状態のビット数を最初の中間データの有効状態のビットが現れるまで計数した結果を無効状態ビット数信号 $62-h-k$ に出力し、対応する有効検出信号 $69-h-k$ が無効状態の時には無効状態ビット数信号 $62-h-k$ に対応する中間データ $59-(h+1)-k$ のビット数と同じ値を出力する。

最小値選択手段 $63-h$ は、無効状態ビット数計数手段 $61-h-0 \sim 61-h-r$ からそれぞれ入力される無効状態ビット数信号 $62-h-0 \sim 62-h-r$ を比較し、その中の最小値を最小値信号 $64-h$ として比較手段 $65-h-0 \sim 65-h-r$ に出力する。

k 番目の比較手段 $65-h-k$ は、有効検出信号 $69-h-k$ が有効状態の場合、かつ対応する無効状態ビット数信号 $62-h-k$ と最小値信号 $64-h$ とを比較したときに一致する場合にのみ、対応する有効検出信号 $69-(h+1)-k$ に有効状態を出力し、それ以外の場合には、対応する有効検出信号 $69-(h+1)-k$ に無効状態を出力する。

これにより 2 次中間データ判定部 $60-h$ は、 p 個の連想メモリ $209-0 \sim 209-r$ から入力される p 個の中間データ $59-(h+1)-0 \sim 59-(h+1)-r$ の中で、対応する有効検出信号 $69-h-k$ が有効状態のもののみを対象として比較したときに最も中間データの無効状態のビット数が少ないものに対応する有効検出信号 $69-(h+1)-0 \sim 69-(h+1)-r$ のみに有効状態を出力することになる。

論理積手段 $46-0 \sim 46-r$ は、入力が有効検出信号 $69-q-0 \sim 69-q-r$ に代わった点を除けば、図 9 の論理積手段 $46-0 \sim 46-r$ と全く同様に構成することができる。また、アドレス信号生成部 11 は、入力が一致線 $3-0-0 \sim 3-s-r$ でなく、実効一致線 $47-0-0 \sim 47-s-r$ に代わった点を除けば、図 1 のアドレス信号生成部 11 と全く同様に構成することができる。もちろん、図 3 に示したアドレス信号生成部 25 を用いても構成できることは言うまでもない。

また、本例の無効状態ビット数計数手段 $49-0 \sim 49-r$ 、無効状態ビット数計数手段 $61-h-0 \sim 61-h-r$ は、回路規模を削減するために、それぞれ対応する中間データにおけるネットワーク・アドレスの最下位階層側から上位階層側に連続している中間データの無効状態のビット数を、最初の中間データの有効状態のビットが現れるまで計数しているが、単純に対応する中間データの全ビットにおける無効状態の数を計数してもよいことは明らかである。

〔第 6 の実施例の動作〕

次に図 14 を参照して、本発明の第 6 の実施の形態の連想メモリ・システム 210 の動作を、第 1 の優先順位を持つ 4 進表記で $(2, 1)$ と、第 2 の優先順位を持つ $(1, 3)$ の 2 個の部分検索領域を持つ 8 ビットの検索データ 70 を入力とする 4 語 8 ビット構成の連想メモリ $209-0$ 、 $209-1$ の 2 個を接続し、かつ、構造化データをソート処理することなしにランダムな順番で 1 次連想メモリ・ワード $7-0-0 \sim 7-3-1$ に格納した場合の動作を例にして説明する。ここで、図 1 と同様に全体で 8 語のアドレス空間の中で連想メモリ $209-1$ が上位側のアドレス空間を占めることとする。

図 1 と同様に、本例では以降、マスク情報の有効状態を“0”、無効状態を“1”とし、記憶データの有効状態を“1”、無効状態を“0”として説明する。また、記憶データと同様に、中間データ 59 の有効状態を“1”、無効状態を“0”とする。一致線 3 の有効状態を“1”、無効状態を“0”として説明する。

1 次検索用連想メモリ $57-0$ の 4 語の 1 次連想メモリ・ワード $7-0-0 \sim 7-3-0$ には、それぞれ 4 進表記の構造化データ $(3, *, 1, 3)$ 、 $(2, *, 1, *)$ 、 $(1, *, 3, 2)$ 、 $(2, *, 1, 3)$ を表現するように記憶データ、マスク・データを格納しているものとする。1 次検索用連想メモリ $57-1$ の 4 語の 1 次連想メモリ・ワード $7-0-1 \sim 7-3-1$ には、それぞれ 4 進表記の構造化データ $(2, 3, 1, 3)$ 、 $(2, 1, 1, *)$ 、 $(2, *, *, *)$ 、 $(2, 1, *, *)$ を表現するように記憶デー

10

20

30

40

50

タ、マスク情報を格納しているものとする。図23で説明した従来の1次検索用連想メモリ302と同様に、ドント・ケア“*”状態を表現するために、マスク情報の該当ビットにはマスク情報の有効状態“0”を、記憶データの該当ビットには記憶データの無効状態“0”を、それぞれ格納する。つまり1次連想メモリ・ワード7-0-0~7-3-0には、記憶データとしてそれぞれ4進表記で(3. 0. 1. 3)、(2. 0. 1. 0)、(1. 0. 3. 2)、(2. 0. 1. 3)を格納し、マスク情報としてそれぞれ4進表記で(3. 0. 3. 3)、(3. 0. 3. 0)、(3. 0. 3. 3)、(3. 0. 3. 3)を格納している。1次連想メモリ・ワード7-0-1~7-3-1には、記憶データとしてそれぞれ4進表記で(2. 3. 1. 3)、(2. 1. 1. 0)、(2. 0. 0. 0)、(2. 1. 0. 0)を格納し、マスク情報としてそれぞれ4進表記で(3. 3. 3. 3)、(3. 3. 3. 0)、(3. 0. 0. 0)、(3. 3. 0. 0)を格納している。また、各記憶データ、各マスク情報の上位4ビットが検索データ70の第1の優先順位の部分検索領域に対応する領域とし、各記憶データ、各マスク情報の下位4ビットが検索データ70の第2の優先順位の部分検索領域に対応する領域とする。

部分2次検索用連想メモリ58-1-0の連想メモリ・ワード68-i-1-0(iは0以上3以下の整数)、および部分2次検索用連想メモリ58-2-0の連想メモリ・ワード68-i-2-0には、1次検索用連想メモリ57-0の対応する1次連想メモリ・ワード7-i-0が格納している記憶データと同じ4進表記の値、(3. 0. 1. 3)、(2. 0. 1. 0)、(1. 0. 3. 2)、(2. 0. 1. 3)を、それぞれ第1の2次記憶データ、第2の2次記憶データとして格納しているものとする。

部分2次検索用連想メモリ58-1-1の連想メモリ・ワード68-i-1-1(iは0以上3以下の整数)、および部分2次検索用連想メモリ58-2-1の連想メモリ・ワード68-i-2-1には、1次検索用連想メモリ57-1の対応する1次連想メモリ・ワード7-i-1が格納している記憶データと同じ4進表記の値、(2. 3. 1. 3)、(2. 1. 1. 0)、(2. 0. 0. 0)、(2. 1. 0. 0)を、それぞれ第1の2次記憶データ、第2の2次記憶データとして格納しているものとする。

次に、4進表記で(2. 1. 1. 3)の検索データ70を入力したときの、連想メモリ209-0、209-1の動作について説明する。連想メモリ209-0では、まず1次検索用連想メモリ57-0が、対応するマスク情報を考慮して検索データ70と全ビットについて比較したときに一致する記憶データを検索する1次検索を行い、結果として1次連想メモリ・ワード7-1-0、7-3-0に格納されている4進表記の構造化データ(2. *. 1. *)、(2. *. 1. 3)が検索データ70と一致する。1次検索用連想メモリ57-0は、一致した1次連想メモリ・ワード7-1-0、7-3-0の中に格納されている4進表記の記憶データにおける、検索データ70の第1の優先順位の部分検索領域に対応する領域、4進表記でそれぞれ(2. 0)、(2. 0)に対して記憶データの有効状態を真とした論理和演算を行い、得られた4進表記で(2. 0)、2進表記で“1000”の4ビットの演算結果を、中間データ59-1-0として中間データ判定部71と部分2次検索用連想メモリ58-1-0に出力する。同様に、連想メモリ209-1では、まず1次検索用連想メモリ57-1が、対応するマスク情報を考慮して検索データ70と全ビットについて比較したときに一致する記憶データを検索する1次検索を行い、結果として1次連想メモリ・ワード7-1-1、7-2-1、7-3-1に格納されている4進表記の構造化データ(2. 1. 1. *)、(2. *. *. *)、(2. 1. *. *)が検索データ70と一致する。1次検索用連想メモリ57-1は、一致した1次連想メモリ・ワード7-1-1、7-2-1、7-3-1の中に格納されている4進表記の記憶データにおける、検索データ70の第1の優先順位の部分検索領域に対応する領域、4進表記でそれぞれ(2. 1)、(2. 0)、(2. 1)に対して記憶データの有効状態を真とした論理和演算を行い、得られた4進表記で(2. 1)、2進表記で“1001”の4ビットの演算結果を、中間データ59-1-1として中間データ判定部71と部分2次検索用連想メモリ58-1-1に出力する。

部分2次検索用連想メモリ58-1-0では、連想メモリ・ワード68-0-1-0~6

10

20

30

40

50

8-3-1-0に格納している第1の2次記憶データの中で検索データ70の第1番目の優先順位を持つ部分検索領域に対応するビット領域のみを対象として、4進表記で(2.0)の中間データ59-1-0と比較する2次検索を行い、その結果連想メモリ・ワード68-1-1-0、68-3-1-0が一致する。部分2次検索用連想メモリ58-1-0は、一致した連想メモリ・ワード68-1-1-0、68-3-1-0の中に格納されている第1の2次記憶データにおける、検索データ70の第2の優先順位の部分検索領域に対応する領域、4進表記でそれぞれ(1.0)、(1.3)に対して記憶データの有効状態を真とした論理和演算を行い、得られた4進表記で(1.3)、2進表記で“0111”の4ビットの演算結果を、中間データ59-2-0として2次中間データ判定部60-1と部分2次検索用連想メモリ58-2-0に出力する。同様に、部分2次検索用連想メモリ58-1-1では、連想メモリ・ワード68-0-1-1~68-3-1-1に格納している第1の2次記憶データの中で検索データ70の第1番目の優先順位を持つ部分検索領域に対応するビット領域のみを対象として、4進表記で(2.1)の中間データ59-1-1と比較する2次検索を行い、その結果連想メモリ・ワード68-1-1-1、68-3-1-1が一致する。部分2次検索用連想メモリ58-1-1は、一致した連想メモリ・ワード68-1-1-1、68-3-1-1の中に格納されている第1の2次記憶データにおける、検索データ70の第2の優先順位の部分検索領域に対応する領域、4進表記でそれぞれ(1.0)、(0.0)に対して記憶データの有効状態を真とした論理和演算を行い、得られた4進表記で(1.0)、2進表記で“0100”の4ビットの演算結果を、中間データ59-2-1として2次中間データ判定部60-1と部分2次検索用連想メモリ58-2-1に出力する。

部分2次検索用連想メモリ58-2-0では、連想メモリ・ワード68-0-2-0~68-3-2-0に格納している第2の2次記憶データの中で検索データ70の第2番目の優先順位を持つ部分検索領域に対応するビット領域のみを対象として、4進表記で(1.3)の中間データ59-2-0と比較する2次検索を行い、その結果連想メモリ・ワード68-3-2-0が一致する。部分2次検索用連想メモリ58-2-0は、一致した連想メモリ・ワード68-3-2-0に対応する一致線3-3-0に一致線の有効状態を出力し、残りの一致線には無効状態を出力する。部分2次検索用連想メモリ58-2-1では、連想メモリ・ワード68-0-2-1~68-3-2-1に格納している第2の2次記憶データの中で検索データ70の第2番目の優先順位を持つ部分検索領域に対応するビット領域のみを対象として、4進表記で(1.0)の中間データ59-2-1と比較する2次検索を行い、その結果連想メモリ・ワード68-1-2-1が一致する。部分2次検索用連想メモリ58-2-1は、一致した連想メモリ・ワード68-1-2-1に対応する一致線3-1-1に一致線の有効状態を出力し、残りの一致線には無効状態を出力する。中間データ判定部71の無効状態ビット数計数手段49-0は、中間データ59-1-0の2進表記の値“1000”の中で、最初の有効状態“1”が現れるまで、右側のビットから無効状態“0”を計数し、結果として得られる10進表記で“3”の値を無効状態ビット数信号50-0として出力する。無効状態ビット数計数手段49-1は、中間データ59-1-1の2進表記の値“1001”の中で、最初の有効状態“1”が現れるまで、右側のビットから無効状態“0”を、計数し、結果として得られる10進表記で“0”の値を無効状態ビット数信号50-1として出力する。最小値選択手段51は、無効状態ビット数計数手段49-0~49-1からそれぞれ入力される無効状態ビット数信号50-0、50-1を比較し、その中の最小値である10進表記の値“0”を最小値信号52として比較手段53-0~53-1に出力する。比較手段53-0は、対応する無効状態ビット数信号50-0の10進表記の値“3”と、最小値信号52の10進表記の値“0”とを比較し、一致しないので有効検出信号69-1-0に無効状態を出力する。比較手段53-1は、対応する無効状態ビット数信号50-1の10進表記の値“0”と、最小値信号52の10進表記の値“0”とを比較し、一致するので有効検出信号69-1-1に有効状態を出力する。

2次中間データ判定部60-1の無効状態ビット数計数手段61-1-0は、中間データ

59-2-0の2進表記の値“0111”の中で、最初の有効状態“1”が現れるまで、右側のビットから無効状態“0”を計数した結果、10進表記で“0”の値を得る。ここで対応する有効検出信号69-1-0が無効状態であるため無効状態ビット数計数手段61-1-0は、10進表記の計数結果“0”ではなく計数結果中間データ59-2-0のビット数の10進表記の値“4”を、無効状態ビット数信号62-1-0として出力する。無効状態ビット数計数手段61-1-1は、中間データ59-2-1の2進表記の値“0100”の中で、最初の有効状態“1”が現れるまで、右側のビットから無効状態“0”を計数した結果10進表記で“2”の値を得る。ここで対応する有効検出信号69-1-1が有効状態であるため無効状態ビット数計数手段61-1-1は、10進表記の計数結果“2”を無効状態ビット数信号62-1-1として出力する。最小値選択手段63-1は、無効状態ビット数計数手段61-1-0～61-1-1からそれぞれ入力される無効状態ビット数信号62-1-0、62-1-1を比較し、その中の最小値である10進表記の値“2”を最小値信号64-1として比較手段65-1-0～65-1-1に出力する。比較手段65-1-0は、有効検出信号69-1-0が無効状態であるので、有効検出信号69-2-0に無効状態を出力する。比較手段65-1-1は、有効検出信号69-1-0が有効状態であるため、対応する無効状態ビット数信号62-1-1の10進表記の値“2”と最小値信号64-1の10進表記の値“2”とを比較し、一致するので有効検出信号69-2-1に有効状態を出力する。検索データ70の2番目の優先順位の部分ビット領域に対応する中間データ59-2-0～59-2-1の中だけで判定したときには、連想メモリ209-0が出力する中間データ59-2-0が最適であるが、すでに連想メモリ209-0は中間データ判定部71により有効でないと判定されているため、中間データ59-2-0は判定対象から除外されることになる。

論理積手段46-0は、対応する有効検出信号69-2-0が無効状態であるので、実効一致線47-0-0～47-3-0すべてに一致線の無効状態を出力する。したがって、実効一致線47-0-0～47-3-0は2進表記で“0000”となる。論理積手段46-1は、対応する有効検出信号69-2-1が有効状態であるので、連想メモリ209-1から出力される一致線3-0-1～3-3-1の2進表記の値“0010”を実効一致線47-0-1～47-3-1に出力する。

したがって、アドレス信号生成部11に入力される信号の中で有効状態である信号は実効一致線47-1-1の一本のみとなり、アドレス信号生成部11は2進表記の値“101”をアドレス出力信号12として出力する。図14の例では、4進表記で(2. 1)の第1の優先順位の部分検索領域と4進表記で(1. 3)の第2の優先順位の部分検索領域を有する検索データ70に対して一致する構造化データの中で、マスク情報の有効状態のビット数が最小のものは、連想メモリ209-1の1次連想メモリ・ワード7-1-1に格納している4進表記で(2. 1. 1. *)であることは明らかである。したがって、アドレス信号生成部11は正しいアドレス出力信号12を出力していることが分かる。

本実施例の連想メモリ209-kでは、中間データ59-1-kを入力とした部分2次検索用連想メモリ58-1-kによる部分2次検索と、中間データ判定部71による連想メモリ209-kが格納している構造化データが最適かどうかの判断を並列実行し、また、中間データ59-(h+1)-k(hは1以上t以下の整数)を入力とした部分2次検索用連想メモリ58-(h+1)-kによる部分2次検索と、2次中間データ判定部60-hによる連想メモリ209-kの格納している構造化データが最適であり続けているかどうかの判断を並列実行し、最終的に論理積手段46-kにより連想メモリ209-kの格納している構造化データが最適であり続けた場合のみ、連想メモリ209-kが出力する一致線3-0-k～3-s-kの状態をアドレス信号生成部11に出力することによって、連想メモリ・システム210全体として最適なアドレス信号12を得る構成となっている。したがって、2次検索と中間データの判定を並列実行することができるため、連想メモリ・システム210全体としての演算速度が連想メモリ209単体の演算速度から低下することはない。

中間データ59-h-kを部分2次検索用連想メモリ58-h-kに入力してから中間デ

10

20

30

40

50

ータ $59 - (h + 1) - k$ が出力されるまでに図示しないクロック信号により遅延が生じる場合、または中間データ $59 - q - k$ を部分 2 次検索用連想メモリ $58 - q - k$ に入力してから一致線 $3 - 0 - k \sim 3 - s - k$ に出力されるまでに図示しないクロック信号により遅延が生じる場合には、同期を取るために有効検出信号 $69 - h - k$ 、 $69 - q - k$ にクロック信号を入力とする記憶手段を適宜挿入すればよいことは明らかである。例えば図 13 の場合、中間データ $59 - 1 - k$ が入力されてから中間データ $59 - 2 - k$ が出力されるまで、および中間データ $59 - 2 - k$ が入力されてから一致線 $3 - 0 - k \sim 3 - 3 - k$ が出力されるまで、それぞれ図示しないクロック信号で 1 クロックずつ要する場合には、同期を取るために有効検出信号 $69 - 1 - k$ 、 $69 - 2 - k$ に 1 クロック遅延する記憶手段を 1 個挿入することにより、パイプライン構成を実現できる。これにより、連想メモリ・システムの最高動作周波数を大きく向上させることができる。

もちろん中間データ判定部 71 と、2 次中間データ判定部 $60 - 1 \sim 60 - q$ と、論理積手段 $46 - 0 \sim 46 - r$ を有さずに、図 1 に示す本発明の第 1 の実施の形態の連想メモリ・システム 200 と同様に、連想メモリ $209 - 0 \sim 209 - r$ が出力する中間データ $59 - j - 0 \sim 59 - j - r$ (j は 1 以上 q 以下の整数) を、図 1 に示す中間データ演算部 9 と同様に構成される j 番目の中間データ演算部に入力した結果得られる j 番目の最適化中間データを部分 2 次検索用連想メモリ $58 - j - 0 \sim 59 - j - r$ に入力し、連想メモリ $209 - 0 \sim 209 - r$ が出力する一致線 $3 - 0 - 0 \sim 3 - s - r$ をアドレス信号生成部 11 に直接入力するように構成しても、正しいアドレス出力信号 12 を得られることは明らかである。このとき、 j 番目の中間データ演算部としては、図 4 に示した中間データ演算部 26、または図 6 に示した中間データ演算部 28 と同様に構成できることは言うまでもない。また、図 8 に示した第 3 の実施の形態の連想メモリ・システム 203 のように、 j 番目の最適化中間データを結線論理により生成する構成にしても構わないことも明らかである。これらにより回路構成を簡略化することが可能である。また、この場合には、部分 2 次検索用連想メモリ $58 - j - 0 \sim 58 - j - r$ は、 $(m \times p)$ 語の 1 個の連想メモリにより構成してもよいことはいうまでもない。また、全体で $(m \times p)$ 語を容量を持つ任意の個数の連想メモリによっても構成できることも明らかである。また、本例では、無効状態ビット数計数手段 $61 - h - k$ は、有効検出信号 $69 - h - k$ が無効状態の場合には、中間データ $59 - (h + 1) - k$ のビット数を出力したが、中間データ $59 - (h + 1) - k$ のビット数よりも大きい値を出力してもよいことはいうまでもない。ここで、図 13 に示す連想メモリ・システム 210 において、連想メモリ $209 - k$ に対応する無効状態ビット数計数手段 $49 - k$ 、無効状態ビット数計数手段 $61 - 1 - k \sim 61 - h - k$ を連想メモリ $209 - k$ に内蔵した場合には、図 11 に示す連想メモリ・システム 206 の説明と同様に、大幅に長い配線の本数を削減することが可能となるとともに、各連想メモリ 209 に必要な端子の数を大幅に削減することができる。さらに、信号遅延時間、配線容量による消費電力などを削減できる。配線領域の減少によりさらに面積を削減可能である。また、各連想メモリの端子数が大幅に削減されるため面積をさらに削減することが可能である。また、1 次検索終了時に有効検出信号 69 にすべて有効状態が入力されている 2 次中間データ判定部 60 を、中間データ判定部 71 の代わりに用いることができるのは明らかである。

〔2 次中間データ判定部の第 2 の構成例〕

次に、本発明の連想メモリ・システムの 2 次中間データ判定部の第 2 の構成例について説明する。図 15 は、本発明の連想メモリ・システム 210 の 2 次中間データ判定部の第 2 の構成例を示すブロック図である。第 2 の構成例の、 h 番目 (h は 1 以上 t 以下の整数) の 2 次中間データ判定部 $72 - h$ は、中間データ演算部 $75 - h$ と、 p 個の比較手段 $78 - h - 0 \sim 78 - h - r$ と、 p 個の無効化手段 $73 - h - 0 \sim 73 - h - r$ から構成される。

第 2 の構成例の 2 次中間データ判定部 $72 - h$ は、図 9 の中間データ判定部 41 と比較すると、有効検出信号 $69 - h - 0 \sim 69 - h - r$ が入力されている点と、 k 番目の連想メモリ $209 - k$ から入力される中間データ $59 - (h + 1) - k$ と中間データ演算部 75

10

20

30

40

50

—hの間に無効化手段73—h—kが挿入されている点と、有効検出信号69—h—kが無効化手段73—h—kと比較手段78—h—kに入力されている点のみが異なり、他は同様に構成される。

k番目の無効化手段73—h—kは、有効検出信号69—h—kが有効状態の場合には、実効中間データ74—h—kとして中間データ59—(h+1)—kを出力し、有効検出信号69—h—kが無効状態の場合には、実効中間データ74—h—kの全ビットに中間データの無効状態を出力する。

中間データ演算部75—hは、p個の実効中間データ74—h—0～74—h—rの中で、最も中間データの無効状態のビット数が少ないものを最適化中間データ77—hとして比較手段78—h—0～78—h—rに出力する。図15に示す中間データ演算部75—hは、図1に示した中間データ演算部9と全く同様に、論理和手段76—kから構成される。無効状態の有効検出信号69—h—0～69—h—rに対応する実効中間データ74—h—0～74—h—rの全ビットは中間データの無効状態となっているため、論理和演算結果には影響しないことになる。

k番目の比較手段78—h—kは、有効検出信号69—h—kが有効状態の場合、かつ対応する実効中間データ74—h—kと最適化中間データ77—hとを比較したときに一致する場合にのみ、対応する有効検出信号69—(h+1)—kに有効状態を出力し、それ以外の場合には、対応する有効検出信号69—(h+1)—kに無効状態を出力する。

これにより2次中間データ判定部72—hは、図13に示す2次中間データ判定部60—hと同様に、p個の連想メモリ209—0～209—rから入力されるp個の中間データ59—(h+1)—0～59—(h+1)—rの中で、対応する有効検出信号69—h—kが有効状態のもののみを対象として比較したときに最も中間データの無効状態のビット数が少ないものに対応する有効検出信号69—(h+1)—0～69—(h+1)—rに有効状態を出力することになる。

〔2次中間データ判定部の第3の構成例〕

次に、本発明の連想メモリ・システムの2次中間データ判定部の第3の構成例について説明する。図16は、本発明の連想メモリ・システム210の2次中間データ判定部の第3の構成例を示すブロック図である。第3の構成例の、h番目(hは1以上t以下の整数)の2次中間データ判定部79—hは、中間データ演算部80—hと、p個の比較手段78—h—0～78—h—rと、p個の無効化手段73—h—0～73—h—rから構成される。

第2の構成例の2次中間データ判定部79—hは、図15の第2の構成例の2次中間データ判定部72—hと比較すると、中間データ演算部80—hが図4に示す中間データ演算部26と同様に最大値選択手段81—hにより構成されている点のみが異なり、他は同様に構成される。

ここで無効状態の有効検出信号69—h—0～69—h—rに対応する実効中間データ74—h—0～74—h—rの全ビットは中間データの無効状態となっているため、最大値選択の結果には影響しないことになる。

したがって、2次中間データ判定部79—hは、図13に示す2次中間データ判定部60—hと同様に、p個の連想メモリ209—0～209—rから入力されるp個の中間データ59—(h+1)—0～59—(h+1)—rの中で、対応する有効検出信号69—h—kが有効状態のもののみを対象として比較したときに最も中間データの無効状態のビット数が少ないものに対応する有効検出信号69—(h+1)—0～69—(h+1)—rに有効状態を出力することになる。ここで、図6に示す中間データ演算部28を用いて2次中間データ判定部72—1～72—tを構成しても、正しい有効検出信号有効検出信号69—(h+1)—0～69—(h+1)—rが得られることは言うまでもない。

また、以上説明した第6の本発明の連想メモリ・システム210を構成するk番目の1次検索用連想メモリ57—kの構成要素と、対応する部分2次検索用連想メモリ58—1—k～58—q—kの構成要素の一部を兼用することにより面積を削減できることも明らかである。例えば、i番目の1次連想メモリ・ワード7—i—kにおける記憶データを格納

10

20

30

40

50

するための手段と、対応する連想メモリ・ワード $68-i-1-k \sim 68-i-q-k$ における第1乃至第 q の2次記憶データを格納するための手段には、同じ値が格納されるため、兼用することが可能である。

〔第7の実施例の構成〕

次に、本発明の第7の実施の形態の連想メモリ・システムについて図面を参照して詳細に説明する。第7の実施の形態は、複数の部分検索領域から構成される検索データに対してマスク情報を考慮して検索を行ったときに入力データに対応する記憶データがすべて一致するワードが複数個あった場合に優先順位を考慮して部分検索領域ごとに構造化データを構成するマスク情報のマスク有効状態のビット数を一致したワードの中で比較した結果、最少となるようなワードを識別する信号を出力する機能を、クロック信号に応じて1次検索、および各部分2次検索の実行を選択するための信号を出力する制御回路を内蔵することにより1次検索用連想メモリ、2次検索用連想メモリの構成手段を共有する、例えば国際出願番号PCT/JPO1/03562に示される連想メモリを、複数個接続した場合の連想メモリ・システムの構成例である。

図17は、本発明の第7の実施の形態の n ビット ($m \times p$) 語の連想メモリ・システム212の構成例を示すブロック図である。連想メモリ・システム212は、 q 個の部分検索領域から構成される検索データ70を入力とする p 個の m 語 n ビットの連想メモリ211-0 \sim 211- r と、 p 個の論理積手段99-0 \sim 99- r と、 p 個の記憶手段89-0 \sim 89- r と、制御手段91と、中間データ判定部85と、アドレス信号12を出力するアドレス信号生成部11と、から構成される。 k 番目の連想メモリ211- k は、それぞれクロック信号55によって制御される、記憶手段87- k と1次2次検索兼用連想メモリ82- k とを有する。

1次2次検索兼用連想メモリ82- k は、検索データ70の全ての部分検索領域を検索対象とする各 n ビットの記憶データおよびマスク情報から構成される構造化データを m 個格納できる連想メモリ・ワード84-0- $k \sim$ 84- $s-k$ を有する。ここで、構造化データのドント・ケア“*”状態のビットは、記憶データの該当ビットを記憶データの無効状態とし、マスク情報の該当ビットをマスク・データの有効状態とすることにより表現される。クロック信号55の1クロック目では、1次2次検索兼用連想メモリ82- k は、対応するマスク情報を考慮して検索データ70の全ての部分検索領域と比較した結果一致する記憶データを検索する1次検索を連想メモリ・ワード84-0- $k \sim$ 84- $s-k$ の中で行い、一致する記憶データ同士に対して記憶データの有効状態を真とした論理和演算を行い、得られた値の中で検索データの第1の優先順位を持つ部分検索領域に対応するビット領域のみを中間データ83- k として、中間データ判定部85に出力するとともに、次のクロックへの移行時に記憶手段87- k に格納する。($h+1$) クロック目 (h は1以上 q 以下の整数) の動作では、1次2次検索兼用連想メモリ82- k は、連想メモリ・ワード84-0- $k \sim$ 84- $s-k$ が格納している記憶データの中で、検索データの第 h 番目の優先順位を持つ部分検索領域に対応するビット領域のみを対象として、記憶手段87- k から出力される前段中間データ88- k と比較を行い、一致する記憶データ同士に対して記憶データの有効状態を真とした論理和演算を行い、得られた値の中で検索データの第 ($h+1$) の優先順位を持つ部分検索領域に対応するビット領域のみを中間データ83- k として中間データ判定部85に出力するとともに、次のクロックへの移行時に記憶手段87- k に格納する。また、各1次検索、2次検索実行毎に、一致した連想メモリ・ワード84-0- $k \sim$ 84- $s-k$ に対応する一致線3-0- $k \sim$ 3- $s-k$ に有効状態を出力する。 q 番目の優先順位を持つ部分検索領域に対応する2次検索実行後のみ一致した一致した連想メモリ・ワード84-0- $k \sim$ 84- $s-k$ に対応する一致線3-0- $k \sim$ 3- $s-k$ に有効状態を出力し、その他の検索動作終了時には一致線の値を保持する構成にしてもよいことは言うまでもない。また、 q 番目の優先順位を持つ部分検索領域に対応する2次検索実行後には、中間データ83- k として任意の値を出力して構わない。例えば全ビットが中間データの有効状態、または無効状態を出力しても構わないし、直前の値を保持しても構わないことは言うまでもない。

10

20

30

40

50

中間データ判定部 85 は、図 13 の 2 次中間データ判定部 60 と比較すると、入力信号の名称が中間データ 83-0 ~ 83-r、有効保持信号 90-0 ~ 90-r に変更された他は、図 13 の 2 次中間データ判定部 60 と全く同様に構成することができる。中間データ判定部 85 は、p 個の連想メモリ 211-0 ~ 211-r から入力される p 個の中間データ 83-0 ~ 83-r の中で、対応する有効保持信号 90-k が有効状態のもののみを対象として比較したときに最も中間データの無効状態のビット数が少ないものに対応する有効検出信号 86-0 ~ 86-r に有効状態を出力する。

論理積手段 99-0 ~ 99-r は、入力信号の名称が有効保持信号 90-0 ~ 90-r に変更された他は、図 13 の論理積手段 46-0 ~ 46-r と全く同様に構成することができる。また、アドレス信号生成部 11 は、入力が一致線 3-0-0 ~ 3-s-r でなく、実効一致線 47-0-0 ~ 47-s-r に代わった点を除けば、図 1 のアドレス信号生成部 11 と全く同様に構成することができる。もちろん、図 3 に示したアドレス信号生成部 25 を用いても構成できることは言うまでもない。ここで、1 次 2 次兼用連想メモリ 82-0 ~ 82-r が、1 次検索、2 次検索毎に一致した連想メモリ・ワード 84-0-0 ~ 84-s-r に対応する一致線 3-0-0 ~ 3-s-r に有効状態を出力する場合、q 番目の優先順位を持つ部分検索領域に対応する 2 次検索実行後のアドレス出力信号 12 が、検索データ 70 に対する正しい検索結果であり、他の検索実行後のアドレス出力信号 12 の値は無視するものとする。もちろん、q 番目の優先順位を持つ部分検索領域に対応する 2 次検索実行後のアドレス出力信号 12 の値を、他の検索実行後にも保持し続けるように構成してもよいことは言うまでもない。

制御手段 91 は、クロック信号 55 に応じて、1 次検索の実行前に初期化信号 92 に有効状態を出力し、1 次検索、2 次検索が終了するたびに記憶制御信号 93 に有効状態を出力する。q 番目の優先順位を持つ部分検索領域に対応する 2 次検索実行後には記憶制御信号 93 に無効状態を出力してもよい。また、前記の 1 次 2 次兼用連想メモリ 82-0 ~ 82-r は、1 次検索、2 次検索ともに 1 クロックで終了する場合を例として説明したが、複数クロックを要する場合には、中間データ 83-0 ~ 83-r、一致線 (3-0-0 ~ 3-s-0) ~ (3-0-r ~ 3-s-r) の出力されるタイミングに同期するように、制御手段 91 は記憶制御信号 93 に有効状態を出力すればよいことは言うまでもない。

記憶手段 89-0 ~ 89-r は、初期化信号 92 が有効状態の時には、格納している状態を有効状態に変更する。また、記憶制御信号 93 が有効状態の時には、対応する有効検出信号 86-0 ~ 86-r の状態を格納する。記憶手段 89-0 ~ 89-r は、格納している状態を、それぞれ対応する有効保持信号 90-0 ~ 90-r に出力する。

〔第 7 の実施例の動作〕

次に図 18、図 19、および図 20 を参照して、本発明の第 7 の実施の形態の連想メモリ・システム 212 の動作を、第 1 の優先順位を持つ 4 進表記で (2, 1) と、第 2 の優先順位を持つ (1, 3) の 2 個の部分検索領域を持つ 8 ビットの検索データ 70 を入力とする 4 語 8 ビット構成の連想メモリ 211-0、211-1 の 2 個を接続し、かつ、構造化データをソート処理することなしにランダムな順番で連想メモリ・ワード 84-0-0 ~ 84-3-1 に格納した場合の動作を例にして説明する。ここで、図 1 と同様に全体で 8 語のアドレス空間の中で連想メモリ 211-1 が上位側のアドレス空間を占めることとする。また、1 次 2 次兼用連想メモリ 82-0 ~ 82-1 は、1 次検索、2 次検索ともに 1 クロックで終了するものとする。また、1 次検索、2 次検索毎に一致した連想メモリ・ワード 84-0-0 ~ 84-3-1 に対応する一致線 3-0-0 ~ 3-3-1 に有効状態を出力するものとする。

図 1 と同様に、本例では以降、マスク情報の有効状態を“0”、無効状態を“1”とし、記憶データの有効状態を“1”、無効状態を“0”として説明する。また、記憶データと同様に、中間データ 59 の有効状態を“1”、無効状態を“0”とする。一致線 3 の有効状態を“1”、無効状態を“0”として説明する。

図 14 の 1 次検索メモリ 57-0 と同様に、1 次 2 次検索兼用連想メモリ 82-0 の 4 語の連想メモリ・ワード 84-0-0 ~ 84-3-0 には、それぞれ 4 進表記の構造化デー

10

20

30

40

50

タ(3. *. 1. 3)、(2. *. 1. *)、(1. *. 3. 2)、(2. *. 1. 3)を表現するように記憶データ、マスク・データを格納しているものとし、1次2次検索兼用連想メモリ82-1の4語の連想メモリ・ワード84-0-1~84-3-1には、それぞれ4進表記の構造化データ(2. 3. 1. 3)、(2. 1. 1. *)、(2. *. *. *)、(2. 1. *. *)を表現するように記憶データ、マスク情報を格納しているものとする。図23で説明した従来の1次検索用連想メモリ302と同様に、ドント・ケア“*”状態を表現するために、マスク情報の該当ビットにはマスク情報の有効状態“0”を、記憶データの該当ビットには記憶データの無効状態“0”を、それぞれ格納する。つまり連想メモリ・ワード84-0-0~84-3-0には、記憶データとしてそれぞれ4進表記で(3. 0. 1. 3)、(2. 0. 1. 0)、(1. 0. 3. 2)、(2. 0. 1. 3)を格納し、マスク情報としてそれぞれ4進表記で(3. 0. 3. 3)、(3. 0. 3. 0)、(3. 0. 3. 3)、(3. 0. 3. 3)を格納している。連想メモリ・ワード84-0-1~84-3-1には、記憶データとしてそれぞれ4進表記で(2. 3. 1. 3)、(2. 1. 1. 0)、(2. 0. 0. 0)、(2. 1. 0. 0)を格納し、マスク情報としてそれぞれ4進表記で(3. 3. 3. 3)、(3. 3. 3. 0)、(3. 0. 0. 0)、(3. 3. 0. 0)を格納している。また、各記憶データ、各マスク情報の上位4ビットが検索データ70の第1の優先順位の部分検索領域に対応する領域とし、各記憶データ、各マスク情報の下位4ビットが検索データ70の第2の優先順位の部分検索領域に対応する領域とする。

次に4進表記で(2. 1. 1. 3)の検索データ70を入力したときの連想メモリ・システム212の1クロック目の動作例について、図18を参照して説明する。

連想メモリ211-0では、まず1次2次検索兼用連想メモリ82-0が、対応するマスク情報を考慮して検索データ70と全ビットについて比較したときに一致する記憶データを検索する1次検索を行い、結果として連想メモリ・ワード84-1-0、84-3-0に格納されている4進表記の構造化データ(2. *. 1. *)、(2. *. 1. 3)が検索データ70と一致する。1次2次検索兼用連想メモリ82-0は、一致した1次連想メモリ・ワード84-1-0、84-3-0の中に格納されている4進表記の記憶データにおける、検索データ70の第1の優先順位の部分検索領域に対応する領域、4進表記でそれぞれ(2. 0)、(2. 0)に対して記憶データの有効状態を真とした論理和演算を行い、得られた4進表記で(2. 0)、2進表記で“1000”の4ビットの演算結果を、中間データ83-0として中間データ判定部85に出力するとともに1クロック目から2クロック目に移行する時に記憶手段87-0に格納する。

同様に、連想メモリ211-1では、まず1次2次検索兼用連想メモリ82-1が、対応するマスク情報を考慮して検索データ70と全ビットについて比較したときに一致する記憶データを検索する1次検索を行い、結果として連想メモリ・ワード84-1-1、84-2-1、84-3-1に格納されている4進表記の構造化データ(2. 1. 1. *)、(2. *. *. *)、(2. 1. *. *)が検索データ70と一致する。1次2次検索兼用連想メモリ82-1は、一致した連想メモリ・ワード84-1-1、84-2-1、84-3-1の中に格納されている4進表記の記憶データにおける、検索データ70の第1の優先順位の部分検索領域に対応する領域、4進表記でそれぞれ(2. 1)、(2. 0)、(2. 1)に対して記憶データの有効状態を真とした論理和演算を行い、得られた4進表記で(2. 1)、2進表記で“1001”の4ビットの演算結果を、中間データ83-1として中間データ判定部85に出力するとともに1クロック目から2クロック目に移行する時に記憶手段87-1に格納する。

連想メモリ211-0、211-1が1次検索を開始する前に、記憶手段89-0、89-1がそれぞれ格納している値は、制御手段91から入力される初期化信号92によって、有効状態に初期化されているものとする。したがって、記憶手段89-0は有効保持信号90-0に有効状態“1”を、記憶手段89-1は有効保持信号90-1に有効状態“1”を出力している。

連想メモリ211-0からは一致線3-1-0、3-3-0に有効状態が出力され、連想

10

20

30

40

50

メモリ 211-1 からは一致線 3-1-1, 3-2-1, 3-3-1 に有効状態が出力される。有効保持信号 90-0、90-1 がそれぞれ有効状態のため、論理積手段 99-0、99-1 から入力される実行一致線 47-0-0~47-3-1 によって、アドレス信号生成部 11 から“不定”状態のアドレス出力信号 12 が出力される。ここで、1 クロック目の連想メモリ 211-0~211-1 の動作は 2 番目の優先順位を持つ部分検索領域に対応する 2 次検索の実行ではないため、アドレス出力信号 12 の値は無効であり、本動作例では無視する。

有効保持信号 90-0、90-1 がそれぞれ有効状態のため、中間データ判定部 85 は中間データ 83-0、83-1 の無効状態のビット数を比較し、最も無効状態のビット数が少ない中間データ 83-1 に対応する有効検出信号 86-1 に有効状態“1”を出力し、他の有効検出信号 86-0 には無効状態“0”を出力する。 10

制御手段 91 が記憶制御信号 93 に有効状態を出力しているため、1 クロック目から 2 クロック目に移行するときに記憶手段 89-0 は有効検出信号 86-0 の無効状態“0”を、記憶手段 89-1 は有効検出信号 86-1 の有効状態“1”を、それぞれ格納する。

次に 4 進表記で (2. 1. 1. 3) の検索データ 70 を入力したときの連想メモリ・システム 212 の 2 クロック目の動作例について、図 19 を参照して説明する。

1 次 2 次検索兼用連想メモリ 82-0 では、連想メモリ・ワード 84-0-0~84-3-0 に格納している記憶データの中で検索データ 70 の第 1 番目の優先順位を持つ部分検索領域に対応するビット領域のみを対象として、記憶手段 87-0 から出力される 4 進表記で (2. 0) の前段中間データ 88-0 と対応するマスク情報を考慮せずに比較する 2 次検索を行い、その結果連想メモリ・ワード 84-1-0、84-3-0 が一致する。1 次 2 次検索兼用連想メモリ 82-0 は、一致した連想メモリ・ワード 84-1-0、84-3-0 の中に格納されている 4 進表記の記憶データにおける、検索データ 70 の第 2 の優先順位の部分検索領域に対応する領域、4 進表記でそれぞれ (1. 0)、(1. 3) に対して記憶データの有効状態を真とした論理和演算を行い、得られた 4 進表記で (1. 3)、2 進表記で“0111”の 4 ビットの演算結果を、中間データ 83-0 として中間データ判定部 85 に出力するとともに 2 クロック目から 3 クロック目に移行する時に記憶手段 87-0 に格納する。 20

同様に、1 次 2 次検索兼用連想メモリ 82-1 では、連想メモリ・ワード 84-0-1~84-3-1 に格納している記憶データの中で検索データ 70 の第 1 番目の優先順位を持つ部分検索領域に対応するビット領域のみを対象として、記憶手段 87-1 から出力される 4 進表記で (2. 1) の前段中間データ 88-1 と対応するマスク情報を考慮せずに比較する 2 次検索を行い、その結果連想メモリ・ワード 84-1-1、84-3-1 が一致する。1 次 2 次検索兼用連想メモリ 82-1 は、一致した連想メモリ・ワード 84-1-1、84-3-1 の中に格納されている 4 進表記の記憶データにおける、検索データ 70 の第 2 の優先順位の部分検索領域に対応する領域、4 進表記でそれぞれ (1. 0)、(0. 0) に対して記憶データの有効状態を真とした論理和演算を行い、得られた 4 進表記で (1. 0)、2 進表記で“0100”の 4 ビットの演算結果を、中間データ 85-1 として中間データ判定部 85 に出力するとともに 2 クロック目から 3 クロック目に移行する時に記憶手段 87-1 に格納する。 30

連想メモリ 211-0 からは一致線 3-1-0、3-3-0 に有効状態が出力され、連想メモリ 211-1 からは一致線 3-1-1, 3-3-1 に有効状態が出力される。有効保持信号 90-1 が有効状態のため、論理積手段 99-0、99-1 から入力される実行一致線 47-0-0~47-3-1 によって、アドレス信号生成部 11 から“不定”状態のアドレス出力信号 12 が出力される。ここで、2 クロック目の連想メモリ 211-0~211-1 の動作は 2 番目の優先順位を持つ部分検索領域に対応する 2 次検索の実行ではないため、アドレス出力信号 12 の値は無効であり、本動作例では無視する。

有効保持信号 90-0 が無効状態のため、中間データ判定部 85 は中間データ 83-1 を対象として無効状態のビット数を比較し、最も無効状態のビット数が少ない中間データ 83-1 に対応する有効検出信号 86-1 に有効状態“1”を出力し、他の有効検出信号 8 40 50

6-0には無効状態“0”を出力する。

制御手段91が記憶制御信号93に有効状態を出力しているため、2クロック目から3クロック目に移行するとき記憶手段89-0は有効検出信号86-0の有効状態“0”を、記憶手段89-1は有効検出信号86-1の有効状態“1”を、それぞれ格納する。

次に4進表記で(2. 1. 1. 3)の検索データ70を入力したときの連想メモリ・システム212の3クロック目の動作例について、図20を参照して説明する。

1次2次検索兼用連想メモリ82-0では、連想メモリ・ワード84-0-0~84-3-0に格納している記憶データの中で検索データ70の第2番目の優先順位を持つ部分検索領域に対応するビット領域のみを対象として、記憶手段87-0から出力される4進表記で(1. 3)の前段中間データ88-0と対応するマスク情報を考慮せずに比較する2次検索を行い、その結果連想メモリ・ワード84-3-0が一致し、対応する一致線3-3-0に一致線の有効状態を出力する。1次2次検索兼用連想メモリ82-0は、検索データ70のすべての部分検索領域に対して2次検索を終了したため、本例では中間データ83-0として中間データの全ビットが有効状態の値を中間データ判定部85に出力するとともに3クロック目から4クロック目に移行する時に記憶手段87-0に格納する。

同様に、1次2次検索兼用連想メモリ82-1では、連想メモリ・ワード84-0-1~84-3-1に格納している記憶データの中で検索データ70の第2番目の優先順位を持つ部分検索領域に対応するビット領域のみを対象として、記憶手段87-1から出力される4進表記で(1. 0)の前段中間データ88-1と対応するマスク情報を考慮せずに比較する2次検索を行い、その結果連想メモリ・ワード84-1-1が一致し、対応する一致線3-1-1に一致線の有効状態を出力する。1次2次検索兼用連想メモリ82-1は、検索データ70のすべての部分検索領域に対して2次検索を終了したため、本例では中間データ85-1として中間データの全ビットが有効状態の値を中間データ判定部85に出力するとともに3クロック目から4クロック目に移行する時に記憶手段87-1に格納する。

有効保持信号90-0が無効状態のため、中間データ判定部85は中間データ83-1を対象として無効状態のビット数を比較し、最も無効状態のビット数が少ない中間データ83-1に対応する有効検出信号86-1に有効状態“1”を出力し、他の有効検出信号86-0には無効状態“0”を出力する。

制御手段91が記憶制御信号93に無効状態を出力しているため、記憶手段89-0は無効状態“0”を、記憶手段89-1は有効状態“1”を、それぞれ保持し続ける。

論理積手段99-0は、対応する有効保持信号90-0が無効状態であるので、実効一致線47-0-0~47-3-0すべてに一致線の無効状態を出力する。したがって、実効一致線47-0-0~47-3-0は2進表記で“0000”となる。論理積手段99-1は、対応する有効保持信号90-1が有効状態であるので、連想メモリ211-1から出力される一致線3-0-1~3-3-1の2進表記の値“0010”を実効一致線47-0-1~47-3-1に出力する。したがって、アドレス信号生成部11に入力される信号の中で有効状態である信号は実効一致線47-2-1の一本のみとなり、アドレス信号生成部11は2進表記の値“101”をアドレス出力信号12として出力する。図18、図19、図20の例では、4進表記で(2. 1)の第1の優先順位の部分検索領域と4進表記で(1. 3)の第2の優先順位の部分検索領域を有する検索データ70に対して、一致する連想メモリ・システム212が格納している構造化データの中で、マスク情報の優先状態のビット数が最小のものは、連想メモリ211-1の連想メモリ・ワード84-1-1に格納している4進表記で(2. 1. 1. *)であることは明らかである。したがって、アドレス信号生成部11は正しいアドレス出力信号12を出力していることが分かる。

もちろん中間データ判定部85と、論理積手段99-0~99-rと、記憶手段89-0~89-rと、制御手段91とを有さずに、図1に示す本発明の第1の実施の形態の連想メモリ・システム200と同様に、連想メモリ211-0~211-rが出力する中間データ83-0~83-rを、図1に示す中間データ演算部9と同様に構成される中間デー

10

20

30

40

50

タ演算部に入力した結果得られる最適化中間データを記憶手段 $87-0 \sim 87-r$ に入力し、連想メモリ $211-0 \sim 211-r$ が出力する一致線 $3-0-0 \sim 3-s-r$ をアドレス信号生成部 11 に直接入力するように構成しても、正しいアドレス出力信号 12 を得られることは明らかである。このとき、中間データ演算部としては、図 4 に示した中間データ演算部 26、または図 6 に示した中間データ演算部 28 と同様に構成できることは言うまでもない。また、図 8 に示した第 3 の実施の形態の連想メモリ・システム 203 のように、最適化中間データを結線論理により生成する構成にしても構わないことも明らかである。これらにより回路構成を簡略化することが可能である。

また、本例では、無効状態ビット数計数手段 $94-k$ は、有効保持信号 $90-k$ が無効状態の場合には、中間データ $83-k$ のビット数を出力したが、中間データ $80-k$ のビット数よりも大きい値を出力してもよいことは言うまでもない。

ここで、図 17 に示す連想メモリ・システム 212 において、連想メモリ $211-k$ に対応する無効状態ビット数計数手段 $94-k$ を連想メモリ $211-k$ に内蔵した場合には、図 11 に示す連想メモリ・システム 206 の説明と同様に、大幅に長い配線の本数を削減することが可能となるとともに、各連想メモリ 211 に必要な端子の数を大幅に削減することができる。さらに、信号遅延時間、配線容量による消費電力などを削減できる。配線領域の減少によりさらに面積を削減可能である。また、各連想メモリの端子数が大幅に削減されるため面積をさらに削減することが可能である。

以上説明した第 3 乃至第 7 の実施の形態の本発明の連想メモリ・システムにおいて、アドレス信号生成部 11 の代わりに図 3 に示すアドレス信号生成部 25 を用いた場合には、連想メモリ $211-k$ に対応するエンコーダ $22-k$ 、一致検出手段 $16-k$ も連想メモリ $211-k$ に内蔵することにより、前述のように、さらに面積削減、端子数削減が可能なことは言うまでもない。

〔第 8 の実施例〕

次に図面を参照して、本発明の第 1 の実施の形態の連想メモリ・システム 200 を転送先アドレス計算に用いた本発明の第 1 の実施の形態のネットワーク機器の構成例を説明する。図 21 は、本発明の第 1 の実施の形態のネットワーク機器の構成例を示すブロック図である。図 21 のネットワーク機器 101 は、図 25 に示した従来のネットワーク機器 400 と同様に、入力通信データ 407 を入力とし、出力通信データ 408 を出力する。入力通信データ 407 は、送出元ネットワーク・アドレス 409 と、転送先ネットワーク・アドレス 410 と、宛先ネットワーク・アドレス 411 を有している。出力通信データ 409 は、送出元ネットワーク・アドレス 409 と、第 2 の転送先ネットワーク・アドレス 412 と、宛先ネットワーク・アドレス 411 を有している。入力通信データ 407 の転送先ネットワーク・アドレス 410 は、図 21 におけるネットワーク機器 101 のネットワーク・アドレスとなっている。

図 21 に示す本発明のネットワーク機器 101 は、宛先ネットワーク・アドレス抽出部 405 と、本発明の第 1 の実施の形態の連想メモリ・システム 200 と、転送先ネットワーク・アドレス格納メモリ 102 と、転送先ネットワーク・アドレス変更部 406 と、により構成される。

図 25 で説明した従来のネットワーク機器 400 と比較すると、図 25 において宛先ネットワーク・アドレス抽出部 405 から入力される検索データ 307 に対して最適な構造化データを検索する従来の n ビット m 語の連想メモリ 300 と、連想メモリ 300 から入力された一致線 $301-0 \sim 301-3$ をアドレス出力信号 309 に符号化するエンコーダ 308 とを、図 21 の本発明のネットワーク機器 101 では、 p 個の n ビット m 語の連想メモリ $1-0 \sim 1-r$ を有する本発明の第 1 の実施の形態の n ビット ($m \times p$) 語の連想メモリ・システム 200 を用いて構成している点と、また、それに伴い、 m 語の転送先ネットワーク・アドレス格納メモリ 402 が、($m \times p$) 語の転送先ネットワーク・アドレス格納メモリに変更されている点と、が異なり他の要素は同様に構成される。

図 21 の連想メモリ・システム 200 は、図 1 と同様に、 p 個の m 語 n ビットの連想メモリ $1-0 \sim 1-r$ と、中間データ演算部 9 と、アドレス信号生成部 11 とから構成され、

10

20

30

40

50

nビットの検索データ2を入力とし、アドレス出力信号12を出力とする。したがって、第1の実施の形態の連想メモリ・システム200の動作説明から明らかなように、図25の従来のnビットm語の連想メモリ300とエンコーダ308の組み合わせと比較すると、格納可能な構造化データの数がp倍に増加した他は、全く同様に動作することが分かる。

これにより、複数の連想メモリ1-0~1-rを有する本発明の連想メモリ・システム200から構成されるネットワーク機器101は、格納している構造化データを最新の状況に更新する場合においても、ソート処理が不要であるため転送処理が中断せず、ネットワーク全体の転送速度を大幅に向上させることができる。

また、ソート処理を実行するための高価な高速CPUシステムが不要であるため、ネットワーク機器全体としての価格を削減できる。また、プライオリティ・エンコーダが不要となるため、符号化処理時間が短縮されるため、通信データの転送速度をさらに向上できる効果と、ネットワーク機器の価格をさらに削減することが可能である。

また、ソート処理が必要なために、本発明のネットワーク機器101では、容易に連想メモリ1を追加または削除することが可能であり、ネットワーク規模に応じて、柔軟に構造化データの格納容量を変更することができる。

〔第9の実施例〕

次に図面を参照して、本発明の第7の実施の形態の連想メモリ・システム212を転送可否演算に用いた本発明の第2の実施の形態のネットワーク機器の構成例を説明する。図22は、本発明の第2の実施の形態のネットワーク機器の構成例を示すブロック図である。

図22のネットワーク機器103は、入力通信データ407を入力とし、出力通信データ408を出力する。入力通信データ407は、送出元ネットワーク・アドレス409と、転送先ネットワーク・アドレス410と、宛先ネットワーク・アドレス411を有している。出力通信データ408は、送出元ネットワーク・アドレス409と、第2の転送先ネットワーク・アドレス412と、宛先ネットワーク・アドレス411を有している。入力通信データ407の転送先ネットワーク・アドレス410は、図22におけるネットワーク機器103のネットワーク・アドレスとなっている。

図22に示す本発明のネットワーク機器103は、送出元ネットワーク・アドレスおよび宛先ネットワーク・アドレス抽出部104と、本発明の第7の実施の形態の連想メモリ・システム212と、転送可否情報格納メモリ105と、転送先ネットワーク・アドレス演算部108と、転送先ネットワーク・アドレス変更部406と、データ転送部107とにより構成される。

送出元ネットワーク・アドレスおよび宛先ネットワーク・アドレス抽出部104は、入力通信データ407の送出元ネットワーク・アドレス409と宛先ネットワーク・アドレス410を抽出し、宛先ネットワーク・アドレス410を検索データ2として転送先ネットワーク・アドレス演算部108に出力する。また、抽出した送出元ネットワーク・アドレス409と宛先ネットワーク・アドレス410の双方を部分検索領域とする検索データ70を連想メモリ・システム212に出力する。

転送先ネットワーク・アドレス演算部108は、内部に格納している構造化データで表現されたネットワーク・アドレスの中で、検索データ2として入力された宛先ネットワーク・アドレス410と一致するものを検索し、一致する構造化データの中でマスク情報の有効状態のビット数が最小のものを選択し、該構造化データで表現されたネットワーク・アドレスに対応する第2の転送先ネットワーク・アドレスを、メモリ・データ信号404として出力する機能を有している。転送先ネットワーク・アドレス変更部406は、入力通信データ407の転送先ネットワーク・アドレス410をメモリ・データ信号404に応じて第2の転送先ネットワーク・アドレス412に変更し、変更済み通信データ109としてデータ転送部107に出力する。

したがって、入力通信データの転送先ネットワーク・アドレス410に対する送出元ネットワーク・アドレスおよび宛先ネットワーク・アドレス抽出部104と転送先ネットワーク・アドレス演算部108と転送先ネットワーク・アドレス変更部406の動作は、図2

3の従来のネットワーク機器400と全く同様である。したがって、転送先ネットワーク・アドレス演算部108は、図21に示した本発明のネットワーク機器101における連想メモリ・システム101と転送先ネットワーク・アドレス格納メモリ402により容易に構成することができる。

図22の連想メモリ・システム212の構成は、図17と同様である。連想メモリ・システム212は、p個の連想メモリ211-0~211-rを持ち、k番目の連想メモリ211-kの各ワードには送出元ネットワーク・アドレスと転送先ネットワーク・アドレスを連結した構造化データを格納している。本例では検索データ70を構成する部分検索領域の中で送出元ネットワーク・アドレス409に対応する領域が第1の優先順位を有するものとして説明する。もちろん、宛先ネットワーク・アドレス411に対応する部分検索領域が第1の優先順位を有していてもよいことはいうまでもない。

前述の第7の連想メモリ・システム212の動作の説明と同様に、連想メモリ・システム212は、送出元ネットワーク・アドレスおよび宛先ネットワーク・アドレス抽出部104から入力される送出元ネットワーク・アドレス409と宛先ネットワーク・アドレス410を部分検索領域とする検索データ70に対して、p個の連想メモリ211-0~211-rに格納している構造化データの中でマスク情報を考慮して比較する1次検索を実行したときに記憶データがすべて一致するワードが複数個あった場合、一致したワードの記憶データの中で第1の優先順位を持つ送出元ネットワーク・アドレス409に対応するビット領域に含まれる無効状態のビット数が最小である記憶データを選択し、さらに選択された記憶データの中で第2の優先順位を持つ宛先ネットワーク・アドレス411に対応するビット領域に含まれる無効状態のビット数が最小のものを選択し、該記憶データに対応する転送可否情報格納メモリ105のワードをアクセスするためのアドレス出力信号12を出力する。

転送可否情報格納メモリには、連想メモリ・システム212が各ワードに格納している送出元ネットワーク・アドレスと転送先ネットワーク・アドレスを連結した構造化データに対応するワードに、該構造化データと一致する入力通信データに対する転送の許可、拒絶を示す制御データを格納しており、アドレス出力信号12により、対応するワードが格納している制御データを、転送制御信号106としてデータ転送部に出力する。

データ転送部107は、転送制御信号107が転送許可を示している場合には、変更済み通信データ109を第2の転送先ネットワーク・アドレス412に対応するネットワーク機器に対して転送し、転送制御信号107が転送拒絶を示している場合には、変更済み通信データ109の転送を行わない。これにより、いわゆるパケット・フィルタリング処理が実現できる。

本例では、第7の実施の形態の連想メモリ・システム212により構成したが、第6の実施の形態の連想メモリ・システム210によっても構成できることはいうまでもない。

上述のように、複数の連想メモリ211-0~211-rを有する本発明の連想メモリ・システム212から構成されるネットワーク機器103は、格納している構造化データを最新の状況に更新する場合においても、ソート処理が不要であるため転送処理が中断せず、ネットワーク全体の転送速度を大幅に向上させることができる。

また、ソート処理を実行するための高価な高速CPUシステムが不要であるため、ネットワーク機器全体としての価格を削減できる。

また、プライオリティ・エンコーダが不要となるため、符号化処理時間が短縮されるため、通信データの転送速度をさらに向上できる効果と、ネットワーク機器の価格をさらに削減することが可能である。また、ソート処理が必要なために、本発明のネットワーク機器103では、容易に連想メモリ211を追加または削除することが可能であり、ネットワーク規模に応じて、柔軟に構造化データの格納容量を変更することができる。

産業上の利用可能性

上述のように、本発明の連想メモリ・システムは、記憶容量を増大させるために複数個接続した連想メモリに対してソート処理を伴わずに構造化データの書き込み、更新および削除を実行した場合においても、検索時に複数の記憶データが検索データと一致したときに

10

20

30

40

50

、その中で最適な構造化データを識別する信号を出力することができるという効果を有する。また、第4の実施の形態のように中間データの判定を2次検索と並列に実行するように構成した本発明の連想メモリ・システムの検索時間は、連想メモリ単体の検索時間と同一であり、高速に検索できるという効果も有する。

また、本発明の連想メモリ・システムでは、中間データ、一致線の双方または一方を符号化して出力する機能を各連想メモリの内部に組み込むことにより、大きな配線寄生容量を持つ長い配線の本数を、連想メモリ全体として大幅に削減できるため、信号遅延時間の短縮による検索時間の短縮、配線容量減少による消費電力の削減という効果を有する。また、配線領域の減少および各連想メモリの端子数が大幅に削減されるため、連想メモリ・システム全体としての面積を大幅に削減でき、システム全体としての価格を安価にできるという効果を有する。また、プライオリティ・エンコーダが不要となるため、システム全体としての検索速度をさらに向上させることができるとともに、さらに面積を削減できるという効果を有する。

また、記憶容量を増大するために複数の連想メモリを接続するために、本発明の連想メモリ・システムを組み込んだネットワーク機器では、転送動作を中断せずに構造化データ表現のネットワーク・アドレスの削除、追加、変更を行うことができるという利点を有する。上述のように、本発明の連想メモリ・システムを用いれば、構造化データ表現のネットワーク・アドレスの削除、追加、変更は、ソート処理を伴わずに通常のメモリ・アクセスに要する時間で実行できるからである。これにより、従来のネットワーク機器で必要であったソート処理実行中のためのネットワークの通信不能時間が不要になるとともに、運用管理が容易になるという利点も有する。さらに、構造化データ表現のネットワーク・アドレスの削除、追加、変更が迅速に反映されるため、ネットワーク全体の転送速度、安全性が向上するという効果を有する。さらに、連想メモリ・システムの構造化データを管理するソフトウェア処理が簡単になるという効果もある。

また、本発明の連想メモリ・システムを組み込んだネットワーク機器では、転送先アドレス計算や転送可否判定を、高速に実行可能なネットワーク機器のトータルコストを削減できるという効果を有する。上述のように転送可否判定を高速に演算可能な本発明の連想メモリ・システムを搭載することにより、ソート処理を実行するための高価な高速CPUシステムを搭載する必要がなくなるからと、連想メモリ・システム全体としての面積を大幅に削減できるからである。

また、本発明のネットワーク機器を用いることにより、ネットワーク規模の増減に応じて記憶容量を柔軟に増減でき、かつ、高速にデータを転送でき、さらに運用管理の容易なネットワーク・システムを構築することができるという利点を有する。

【図面の簡単な説明】

図1は、本発明の第1の実施の形態の連想メモリ・システムの構成例を示すブロック図である。

図2は、本発明の第1の実施の形態の連想メモリ・システムの動作例を示す図である。

図3は、本発明の第2の実施の形態の連想メモリ・システムの構成例と動作例を示すブロック図である。

図4は、本発明の連想メモリ・システムの間接データ演算部の第2の構成例を示すブロック図である。

図5は、本発明の連想メモリ・システムの第2の構成例の間接データ演算部の動作例を示す図である。

図6は、本発明の連想メモリ・システムの間接データ演算部の第3の構成例を示すブロック図である。

図7は、本発明の連想メモリ・システムの第3の構成例の間接データ演算部の動作例を示す図である。

図8は、本発明の第3の実施の形態の連想メモリ・システムの構成例を示すブロック図である。

図9は、本発明の第4の実施の形態の連想メモリ・システムの構成例を示すブロック図で

10

20

30

40

50

ある。

図 10 は、本発明の第 4 の実施の形態の連想メモリ・システムの動作例を示す図である。

図 11 は、本発明の連想メモリ・システムの間接データ判定部の第 2 の構成例と動作例を示すブロック図である。

図 12 は、本発明の第 5 の実施の形態の連想メモリ・システムの構成例を示すブロック図である。

図 13 は、本発明の第 6 の実施の形態の連想メモリ・システムの構成例を示すブロック図である。

図 14 は、本発明の第 6 の実施の形態の連想メモリ・システムの動作例を示す図である。

図 15 は、本発明の連想メモリ・システムの h 番目の 2 次中間データ判定部の第 2 の構成例を示すブロック図である。

10

図 16 は、本発明の連想メモリ・システムの h 番目の 2 次中間データ判定部の第 3 の構成例を示すブロック図である。

図 17 は、本発明の第 7 の実施の形態の連想メモリ・システムの構成例を示すブロック図である。

図 18 は、本発明の第 7 の実施の形態の連想メモリ・システムの 1 クロック目の動作例を示す図である。

図 19 は、本発明の第 7 の実施の形態の連想メモリ・システムの 2 クロック目の動作例を示す図である。

図 20 は、本発明の第 7 の実施の形態の連想メモリ・システムの 3 クロック目の動作例を示す図である。

20

図 21 は、本発明の連想メモリを転送先アドレス計算に用いた本発明の第 1 の実施の形態のネットワーク機器の構成例を示すブロック図である。

図 22 は、本発明の連想メモリを転送可否演算に用いた本発明の第 2 の実施の形態のネットワーク機器の構成例を示すブロック図である。

図 23 は、従来の連想メモリの一構成例を示すブロック図である。

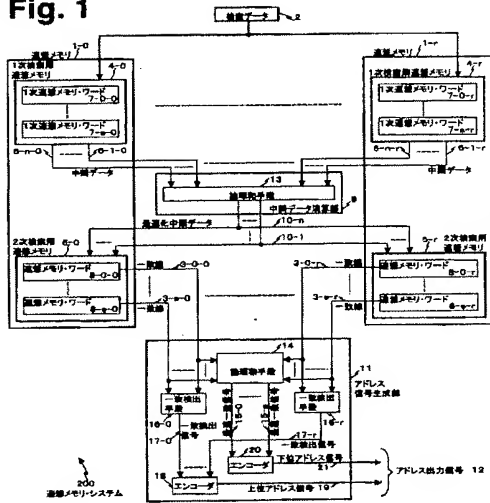
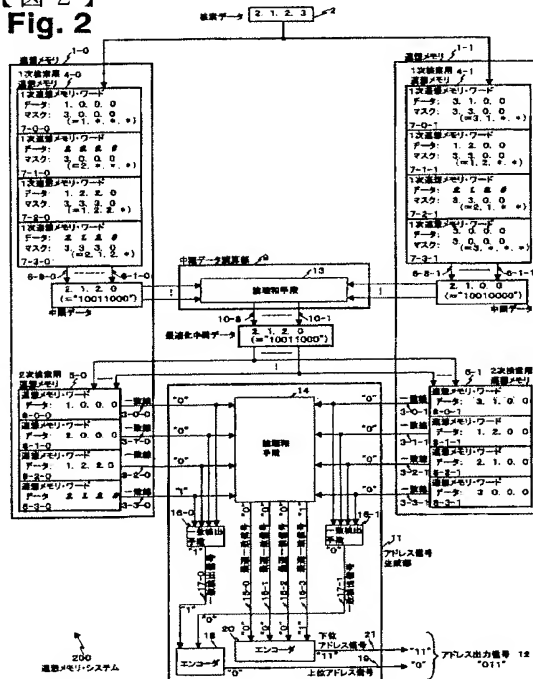
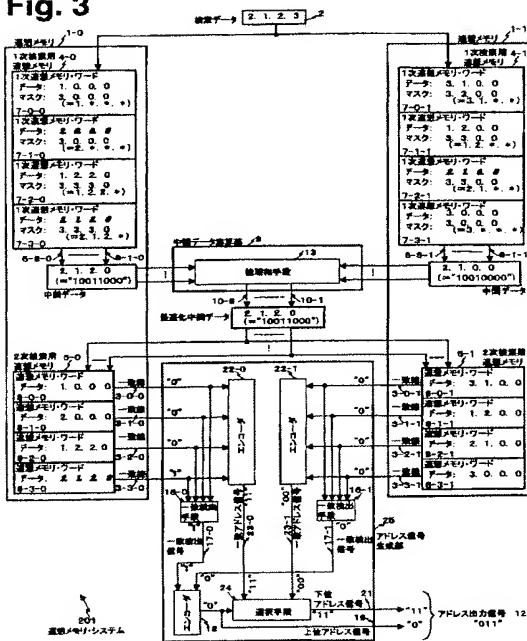
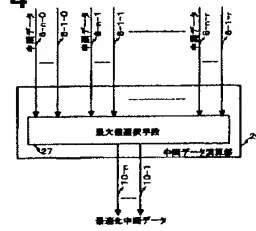
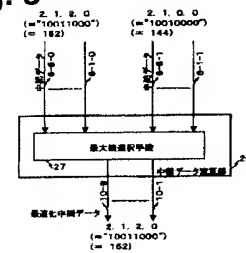
図 24 は、ネットワークの構成例を示す接続図である。

図 25 は、従来の連想メモリを転送先アドレス計算に用いた従来のネットワーク機器の構成例を示すブロック図である。

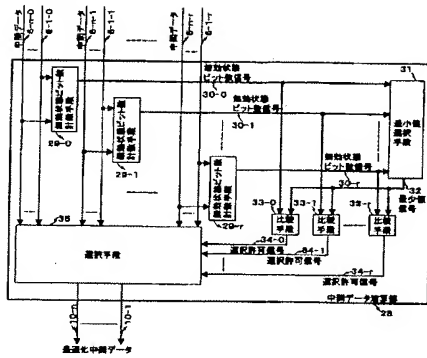
図 26 は、従来の連想メモリを複数接続するときの第 1 の構成例と動作例を示すブロック図である。

30

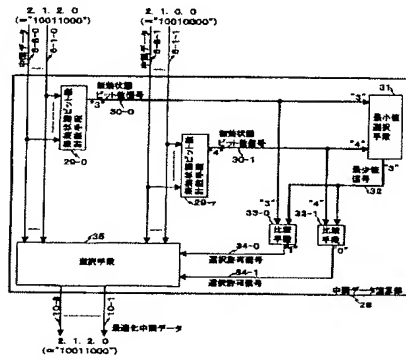
図 27 は、従来の連想メモリを複数接続するときの第 2 の構成例と動作例を示すブロック図である。

【図 1】
Fig. 1【図 2】
Fig. 2【図 3】
Fig. 3【図 4】
Fig. 4【図 5】
Fig. 5

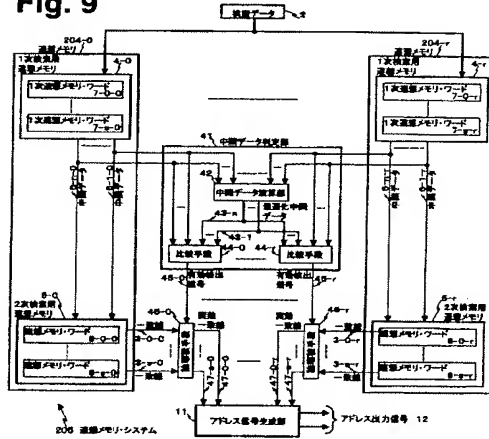
【 図 8 】
Fig. 8



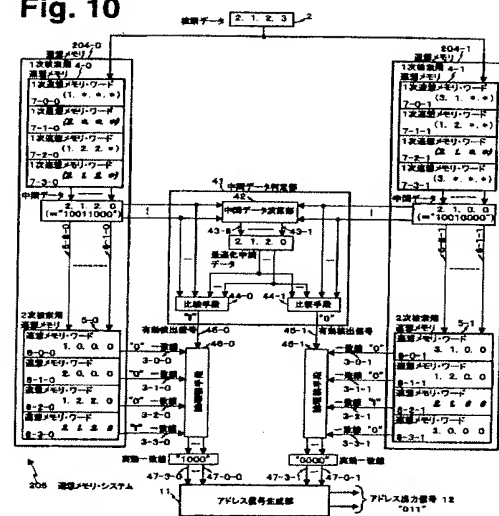
【図 7】
Fig. 7



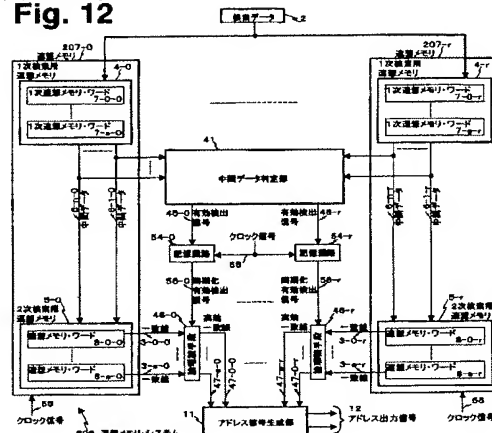
【 図 9 】
Fig. 9



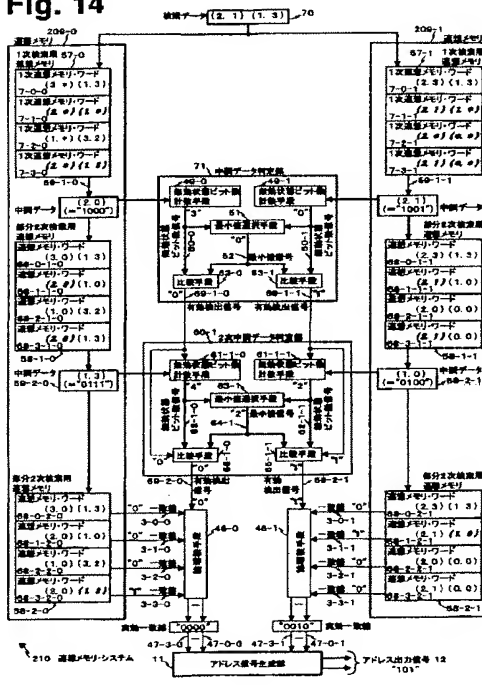
【 1 0】
Fig. 10

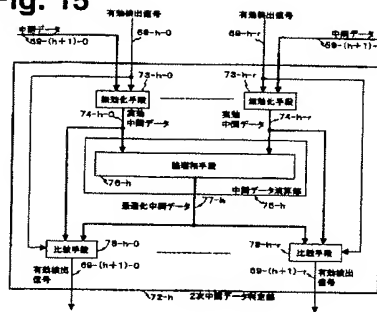
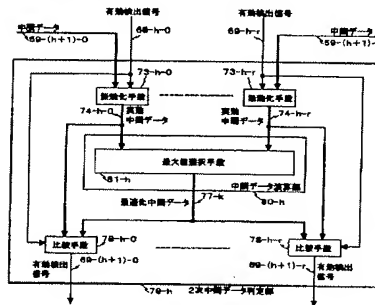
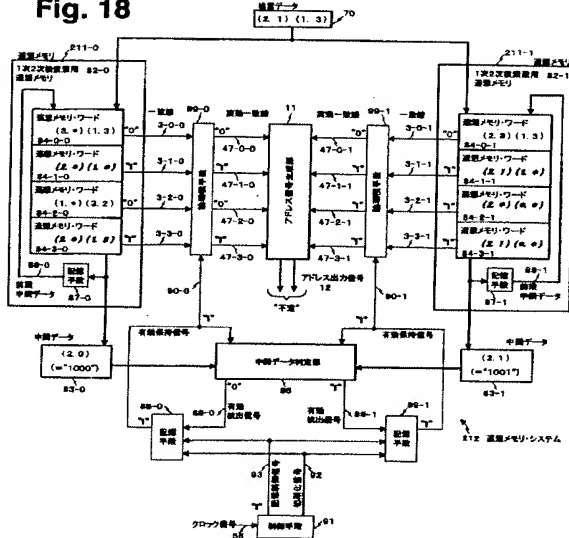
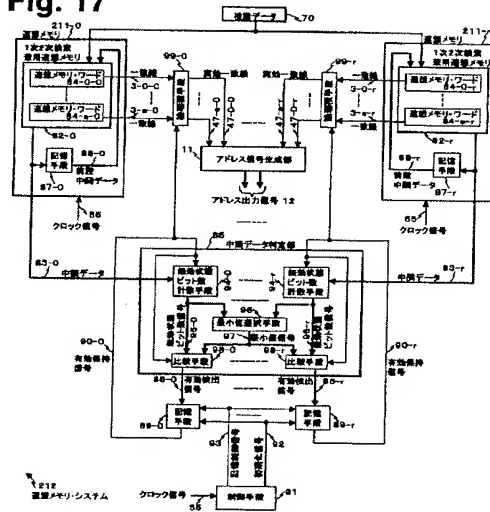
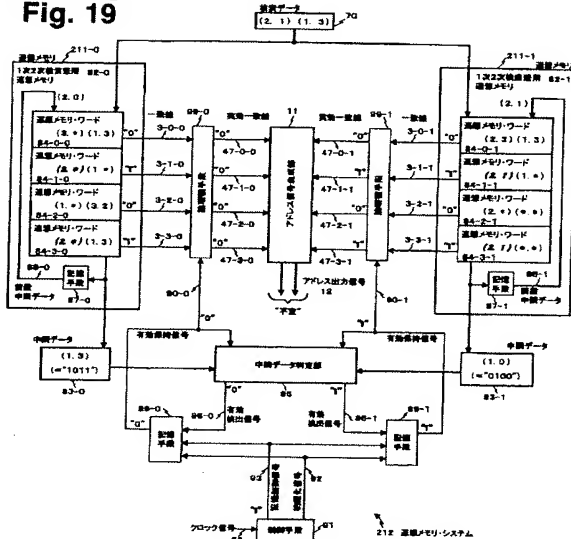


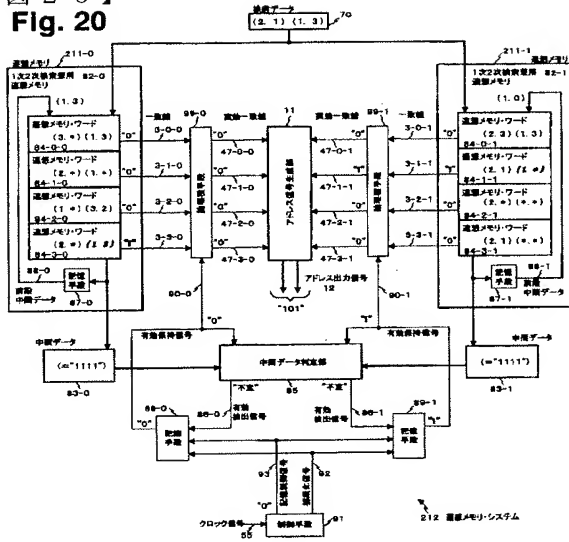
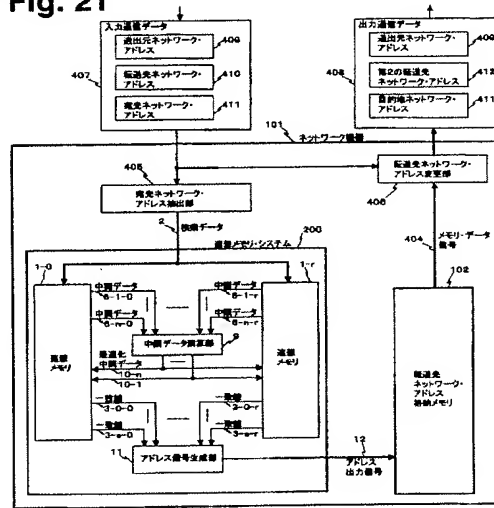
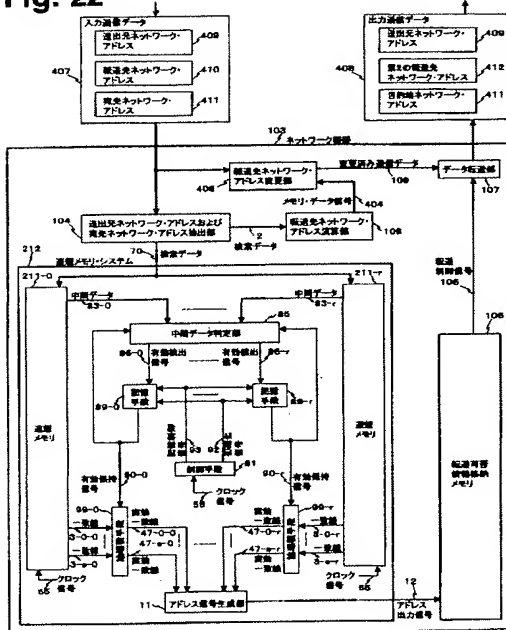
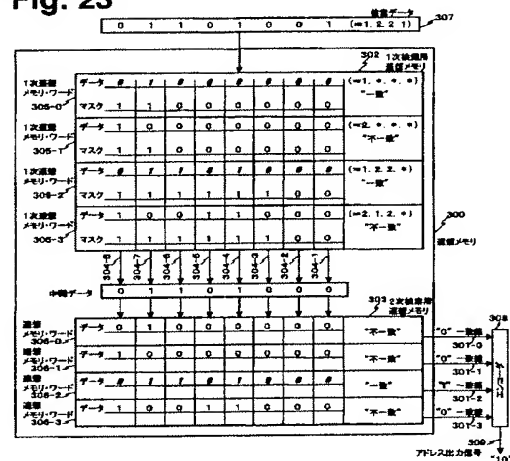
【図 12】
Fig. 12



【 図 1 4 】
Fig. 14

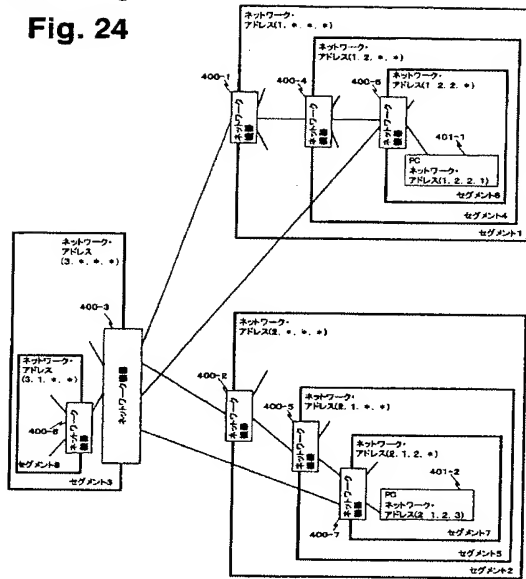


【図 15】
Fig. 15【図 16】
Fig. 16【図 18】
Fig. 18【図 17】
Fig. 17【図 19】
Fig. 19

【図 20】
Fig. 20【図 21】
Fig. 21【図 22】
Fig. 22【図 23】
Fig. 23

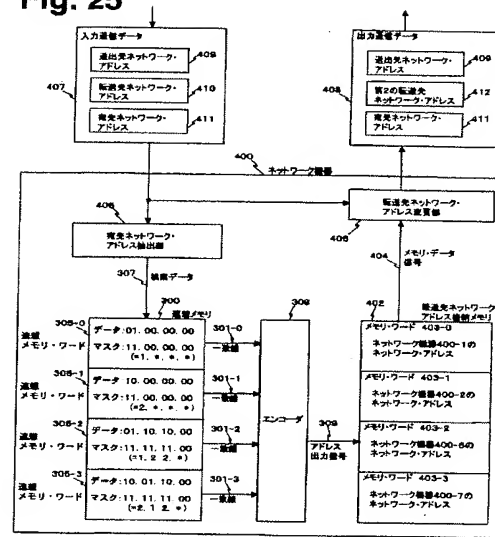
【図 24】

Fig. 24



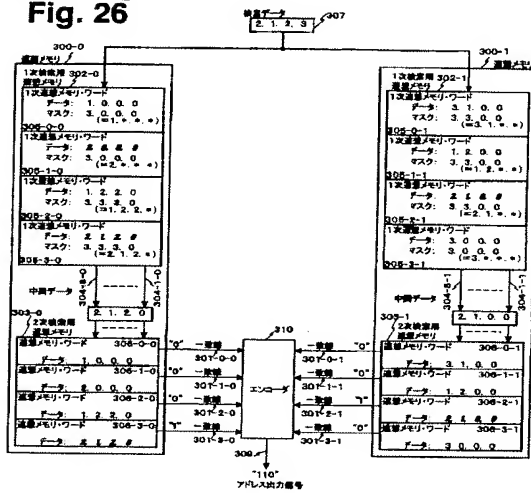
【図 25】

Fig. 25



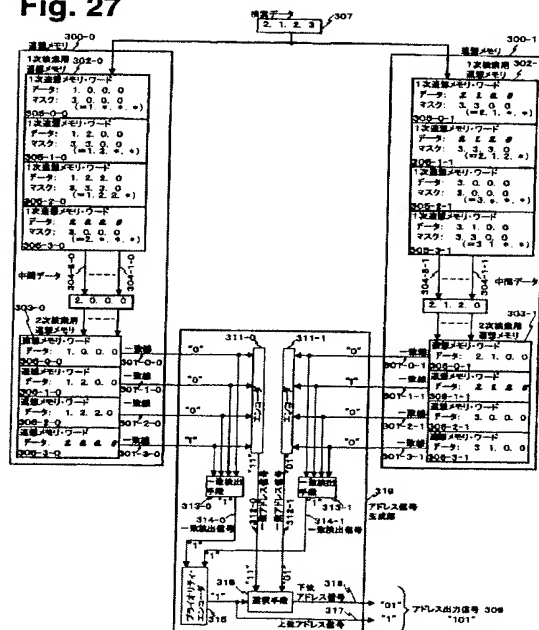
【図 26】

Fig. 26



【図 27】

Fig. 27



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP01/06382
A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. ⁷ G11C15/00, G06F17/30, H04L12/56		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. ⁷ G11C15/00-15/06, G06F17/30, H04L12/56		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2001 Kokai Jitsuyo Shinan Koho 1971-2001 Toroku Jitsuyo Shinan Koho 1994-2001		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-322892 A (NEC Corporation), 24 November, 2000 (24.11.00), Full text; all drawings & US 6144574 A	1-24
A	JP 11-73782 A (NEC Corporation), 16 March, 1999 (16.03.99), Full text; all drawings & DE 19839205 A & CN 1212436 A	1-24
A	JP 10-275479 A (Kawasaki Steel Corporation), 13 October, 1998 (13.10.98), Full text (Family: none)	1-24
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 12 October, 2001 (12.10.01)		Date of mailing of the international search report 23 October, 2001 (23.10.01)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

国際調査報告		国際出願番号	PCT/JP01/00538-9
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl. G11C15/00, G06F17/30, H04L12/56			
B. 調査を行った分野 調査を行った最小額資料 (国際特許分類 (IPC)) Int. Cl. G11C15/00-15/06, G06F17/30, H04L12/56			
最小額資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1926-1996年 日本国公開実用新案公報 1971-2001年 日本国実用新案登録公報 1996-2001年 日本国登録実用新案公報 1994-2001年			
国際調査で利用した電子データベース (データベースの名称、調査に利用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一紙の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
A	JP 2000-322892 A (日本電気株式会社) 24. 1 1月, 2000 (24. 11. 00), 全文, 全国 & US 6 144574 A	1-24	
A	JP 11-73782 A (日本電気株式会社) 16. 3月, 1 999 (16. 03. 99), 全文, 全国 & DE 19839 205 A & CN 1212436 A	1-24	
A	JP 10-275479 A (川崎製鉄株式会社) 13. 10 月, 1998 (13. 10. 98), 全文 (ファミリーなし)	1-24	
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日より後に公表されたもの 「L」 優先権主張に拠る文献又は他の文献の発行日よりしくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
の日に後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日	12. 10. 01	国際調査報告の発送日	23.10.01
国際調査機関の名称及び住所 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁長官 (権限のある職員) 堀江義典 電話番号 03-3581-1101 内線 3585	SN	9172

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。